X67IF1121-1

1 Allgemeines

Serielle Schnittstellen (beispielsweise von Barcodelesern) liegen in Anlagen oft sehr verstreut. Dieses Schnittstellenmodul des dezentralen X67 Systems ist optimal für diesen Einsatzbereich: Anschlussmöglichkeiten für RS232 und RS485/RS422 direkt vor Ort, verteilt auf der Maschine oder Anlage.

Zusätzlich sind digitale Ein- und Ausgänge auf demselben Modul, damit zugehörige 24 V Sensorik/Aktorik gleich mit angeschlossen werden kann.

- RS232 und RS485/RS422 parallel nutzbar
- 2 digitale Kanäle wahlweise als Ein- oder Ausgänge konfigurierbar
- 2 digitale Eingänge
- Anschluss von Barcodeleser, Identsystemen und Sensorik auf einem Modul

1.1 Mitgeltende Dokumente

Weiterführende und ergänzende Informationen sind den folgenden gelisteten Dokumenten zu entnehmen.

Mitgeltende Dokumente

Dokumentname	Titel
MAX67	X67 System Anwenderhandbuch
MAEMV	Installations- / EMV-Guide

2 Bestelldaten

Bestellnummer	Kurzbeschreibung	Abbildung
	Kommunikationsmodule	
X67IF1121-1	X67 Schnittstellenmodul, 1 RS232-Schnittstelle, 1 RS422/485-Schnittstelle, 2 digitale Kanäle wahlweise als Ein- oder Ausgang parametrierbar, 24 VDC, 0,5 A, Eingangsfilter parametrierbar, 2 Eingänge, 24 VDC, Sink, Eingangsfilter parametrierbar	

Tabelle 1: X67IF1121-1 - Bestelldaten

Erforderliches Zubehör
Für eine Gesamtübersicht siehe X67 System Anwenderhandbuch, Abschnitt "Zubehör - Gesamtübersicht".

3 Technische Beschreibung

3.1 Technische Daten

Bestellnummer	X67IF1121-1
Kurzbeschreibung	
Kommunikationsmodul	1x RS232, 1x RS485/RS422, 2 digitale Eingänge, 2 digitale Kanäle über Software als Ein- oder Ausgang konfigurierbar
Allgemeines	
Isolationsspannung zwischen Kanal und Bus	500 V_{eff}
B&R ID-Code	0xA90F
Sensor-/Aktorversorgung	0,5 A Summenstrom
Statusanzeigen	RS232, RS485/RS422, I/O-Funktion pro Kanal, Versorgungsspannung, Busfunktion
Diagnose	
Ausgänge	Ja, per Status-LED und SW-Status
I/O-Versorgung	Ja, per Status-LED und SW-Status
RS232	Ja, per Status-LED
RS485/RS422	Ja, per Status-LED
Anschlusstechnik	
X2X Link	M12 B-codiert
Schnittstellen und Ein-/Ausgänge	4x M12 A-codiert
I/O-Versorgung	M8 4-polig
Leistungsaufnahme	
I/O-intern	2,4 W
X2X Link Versorgung	0,75 W
Zulassungen	
CE	Ja
ATEX	Zone 2, II 3G Ex nA IIA T5 Gc IP67, Ta = 0 - max. 60 °C TÜV 05 ATEX 7201X
UL	cULus E115267 Industrial Control Equipment
HazLoc	cCSAus 244665 Process Control Equipment for Hazardous Locations Class I, Division 2, Groups ABCD, T5
EAC	Ja
KC	Ja
Schnittstellen	
Schnittstelle IF1	
Signal	RS232
max. Reichweite	900 m
Übertragungsrate	max. 115,2 kBit/s
FIFO	Software
Handshakeleitungen	Nein
Schnittstelle IF2	
Signal	RS485/RS422
max. Reichweite	1200 m
Übertragungsrate	max. 115,2 kBit/s
FIFO	Software
Abschlusswiderstand	Im Modul integriert
I/O-Versorgung	
Nennspannung	24 VDC
Spannungsbereich	18 bis 30 VDC
Integrierte Schutzfunktion	Verpolungsschutz
Leistungsaufnahme	
Sensor-/Aktorversorgung	max. 12 W [1)]
Sensor-/Aktorversorgung	
Spannung	I/O-Versorgung abzüglich Spannungsabfall am Kurzschlussschutz
Spannungsabfall am Kurzschlussschutz bei 0,5 A	max. 2 VDC
Summenstrom	max. 0,5 A
kurzschlussfest	Ja
Digitale Eingänge	
Anzahl	Bis zu 4, wenn die 2 digitalen Kanäle als Digitaleingänge verwendet werden
Nennspannung	24 VDC
Eingangscharakteristik nach EN 61131-2	Typ 1
Eingangsspannung	18 bis 30 VDC
Eingangsstrom bei 24 VDC	typ. 3,5 mA
Eingangsbeschaltung	Sink
Eingangsfilter	
Hardware	≤100 µs
Software	Default 0 ms, zwischen 0 und 25 ms in 0,2 ms Schritten einstellbar
Eingangswiderstand	typ. 6,67 kΩ

Tabelle 2: X67IF1121-1 - Technische Daten

Bestellnummer	X67IF1121-1
Schaltschwellen	
Low	<5 V
High	>15 VDC
Digitale Ausgänge	
Anzahl	Bis zu 2, wenn die 2 digitalen Kanäle als Digitalausgänge verwendet werden
Ausführung	FET Plus-schaltend
Nennspannung	24 VDC
Schaltspannung	I/O-Versorgung abzüglich Restspannung
Ausgangsnennstrom	0,5 A
Summennennstrom	1 A
Ausgangsbeschaltung	Source
Ausgangsschutz	Thermische Abschaltung bei Überstrom oder Kurzschluss, integrierter Schutz zum Schalten von Induktivitäten, Verpolungsschutz der Ausgangsversorgung
Diagnosestatus	Ausgangsüberwachung mit Verzögerung 10 ms
Leckstrom bei abgeschaltetem Ausgang	<120 µA
Kurzschlussspitzenstrom	<2,1 A
Einschaltung bei Überlastabschaltung bzw. Kurzschlussabschaltung	ca. 1 ms (abhängig von der Modultemperatur)
Schaltverzögerung	
0 → 1	<100 µs
1 → 0	<150 µs
Schaltfrequenz	
ohmsche Last	max. 1000 Hz
induktive Last	Siehe Abschnitt "Schalten induktiver Lasten"
Bremsspannung beim Abschalten induktiver Lasten	typ. 68 VDC
Elektrische Eigenschaften	
Potenzialtrennung	Bus zu Kanal und IF getrennt Kanal zu Kanal und IF nicht getrennt
Einsatzbedingungen	
Einbaulage	
beliebig	Ja
Aufstellungshöhe über NN (Meeresspiegel)	
0 bis 2000 m	Keine Einschränkung
>2000 m	Reduktion der Umgebungstemperatur um 0,5°C pro 100 m
Schutzart nach EN 60529	IP67
Umgebungsbedingungen	
Temperatur	
Betrieb	-25 bis 60°C
Derating	-
Lagerung	-40 bis 85°C
Transport	-40 bis 85°C
Mechanische Eigenschaften	
Abmessungen	
Breite	53 mm
Höhe	85 mm
Tiefe	42 mm
Gewicht	195 g
Drehmoment für Anschlüsse	
M8	max. 0,4 Nm
M12	max. 0,6 Nm

Tabelle 2: X67IF1121-1 - Technische Daten

1) Die Leistungsaufnahme der am Modul angeschlossenen Sensoren und Aktoren darf 12 W nicht überschreiten.

3.2 Status LEDs

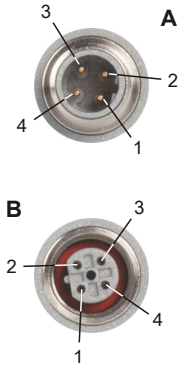
<table>
<tr><th>Abbildung</th><th>LED</th><th colspan="3">Beschreibung</th></tr>
<tr><td rowspan="24"> 
</td><td>Statusanzeige 1</td><td colspan="3">Statusanzeige für X2X Link.</td></tr>
<tr><td></td><td>Grün</td><td>Rot</td><td>Beschreibung</td></tr>
<tr><td></td><td>Aus</td><td>Aus</td><td>Keine Versorgung über X2X Link</td></tr>
<tr><td></td><td>Ein</td><td>Aus</td><td>X2X Link versorgt, Kommunikation in Ordnung</td></tr>
<tr><td></td><td>Aus</td><td>Ein</td><td>X2X Link versorgt, aber keine X2X Link Kommunikation</td></tr>
<tr><td></td><td>Ein</td><td>Ein</td><td>PREOPERATIONAL: X2X Link versorgt, Modul nicht initialisiert</td></tr>
<tr><td>1</td><td colspan="2">Orange</td><td>Leuchtet, wenn das Modul über die RS232-Schnittstelle Daten empfängt.</td></tr>
<tr><td>3</td><td colspan="2">Orange</td><td>Leuchtet, wenn das Modul über die RS485/RS422-Schnittstelle Daten empfängt oder sendet.</td></tr>
<tr><td>2</td><td colspan="3">Statusanzeige für Ein-/Ausgang 3 und Eingang 1.</td></tr>
<tr><td></td><td colspan="2">LED</td><td>Beschreibung</td></tr>
<tr><td></td><td colspan="2">Orange</td><td>Ein-/Ausgangszustand von Kanal 3</td></tr>
<tr><td></td><td colspan="2">Grün</td><td>Eingangszustand von Kanal 1</td></tr>
<tr><td></td><td colspan="2">Orange und Grün[1)]</td><td>Sowohl Kanal 1 als auch Kanal 3 sind aktiv.</td></tr>
<tr><td>4</td><td colspan="3">Statusanzeige für Ein-/Ausgang 4 und Eingang 2.</td></tr>
<tr><td></td><td colspan="2">LED</td><td>Beschreibung</td></tr>
<tr><td></td><td colspan="2">Orange</td><td>Ein-/Ausgangszustand von Kanal 4</td></tr>
<tr><td></td><td colspan="2">Grün</td><td>Eingangszustand von Kanal 2</td></tr>
<tr><td></td><td colspan="2">Orange und Grün[1)]</td><td>Sowohl Kanal 2 als auch Kanal 4 sind aktiv.</td></tr>
<tr><td>Statusanzeige 2</td><td colspan="3">Statusanzeige für Modulfunktion.</td></tr>
<tr><td></td><td>LED</td><td>Status</td><td>Beschreibung</td></tr>
<tr><td></td><td rowspan="4">Grün</td><td>Aus</td><td>Modul nicht versorgt</td></tr>
<tr><td></td><td>Single Flash</td><td>Modus RESET</td></tr>
<tr><td></td><td>Blinkend</td><td>Modus PREOPERATIONAL</td></tr>
<tr><td></td><td>Ein</td><td>Modus RUN</td></tr>
<tr><td></td><td rowspan="4">Rot</td><td>Aus</td><td>Modul nicht versorgt oder alles in Ordnung</td></tr>
<tr><td></td><td>Ein</td><td>Fehler- oder Resetzustand</td></tr>
<tr><td></td><td>Single Flash</td><td>Warnung/Fehler eines I/O-Kanals. Pegelüberwachung der Digitalausgänge hat angesprochen.</td></tr>
<tr><td></td><td>Double Flash</td><td>Versorgungsspannung nicht im gültigen Bereich</td></tr>
</table>

1) Beide LEDs leuchten. Da aber nur ein Lichtleiter vorhanden ist, entsteht eine Mischfarbe.

3.3 Anschlusselemente

3.4 X2X Link

Das Modul wird mit vorkonfektionierten Kabeln an X2X Link angeschlossen. Der Anschluss erfolgt über M12-Rundsteckverbinder.

<table>
<tr><th>Anschluss</th><th colspan="2">Anschlussbelegung</th></tr>
<tr><td rowspan="7"> 
</td><td>Pin</td><td>Bezeichnung</td></tr>
<tr><td>1</td><td>X2X+</td></tr>
<tr><td>2</td><td>X2X</td></tr>
<tr><td>3</td><td>X2X⊥</td></tr>
<tr><td>4</td><td>X2X\</td></tr>
<tr><td colspan="2">Schirm über Gewindeeinsatz im Modul.

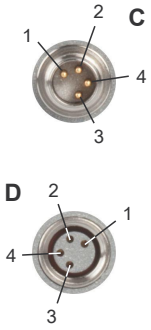
A → B-codiert (male), Eingang
B → B-codiert (female), Ausgang</td></tr>
</table>

3.5 I/O-Versorgung 24 VDC

Die I/O-Versorgung wird über die M8-Anschlüsse C und D angeschlossen. Über Anschluss C (male) wird die I/O-Versorgung eingespeist. Anschluss D (female) dient zur Weiterleitung der I/O-Versorgung an andere Module.

Information:

Der maximal zulässige Strom für die I/O-Versorgung beträgt 8 A (4 A je Anschlusspin)!

Anschluss	Anschlussbelegung	
	**Pin**	**Bezeichnung**
	1	24 VDC
	2	24 VDC
	3	GND
	4	GND
	C → Anschluss (male) im Modul, Einspeisung der I/O-Versorgung D → Anschluss (female) im Modul, Weiterleitung der I/O-Versorgung	

3.6 Anschlussbelegung

X1
M12 ①

Schirm	
1	Reserviert
2	TxD
3	GND
4	RxD
5	Schirm

X2 und X4
M12 ①

Schirm	
1	+24 VDC
2	AI-1
3	GND
4	AI-2
5	Schirm

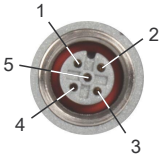
X3
M12 ①

Schirm	
1	TxD\
2	TxD
3	RxD\
4	RxD
5	GND

① X67CA0A41.xxxx: M12 Sensorkabel gerade
X67CA0A51.xxxx: M12 Sensorkabel gewinkelt

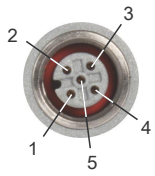
3.6.1 RS232-Schnittstelle

Die Schnittstelle wird über M12-Rundsteckverbinder angeschlossen.

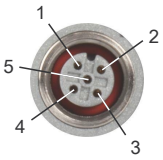
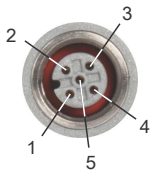
Anschluss	Anschlussbelegung	
X1 	**Pin**	**Bezeichnung**
	1	Reserviert
	2	TxD
	3	GND
	4	RxD
	5	Schirm
	Schirm über Gewindeeinsatz im Modul X1 → A-codiert (female), Ausgang	

3.6.2 RS485/RS422-Schnittstelle

Die Schnittstelle wird über M12-Rundsteckverbinder angeschlossen.

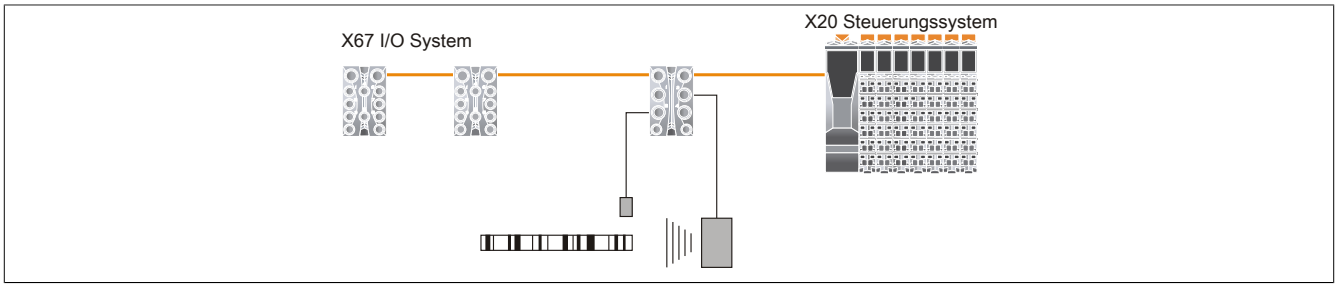
Anschluss	Anschlussbelegung		
X3 	**Pin**	**RS422**	**RS485**
	1	TxD\	Reserviert
	2	TxD	Reserviert
	3	RxD\	Data\
	4	RxD	Data
	5	GND	GND
	Schirm über Gewindeeinsatz im Modul X3 → A-codierte (female), Ausgang		

3.6.3 Anschluss X2 und X4

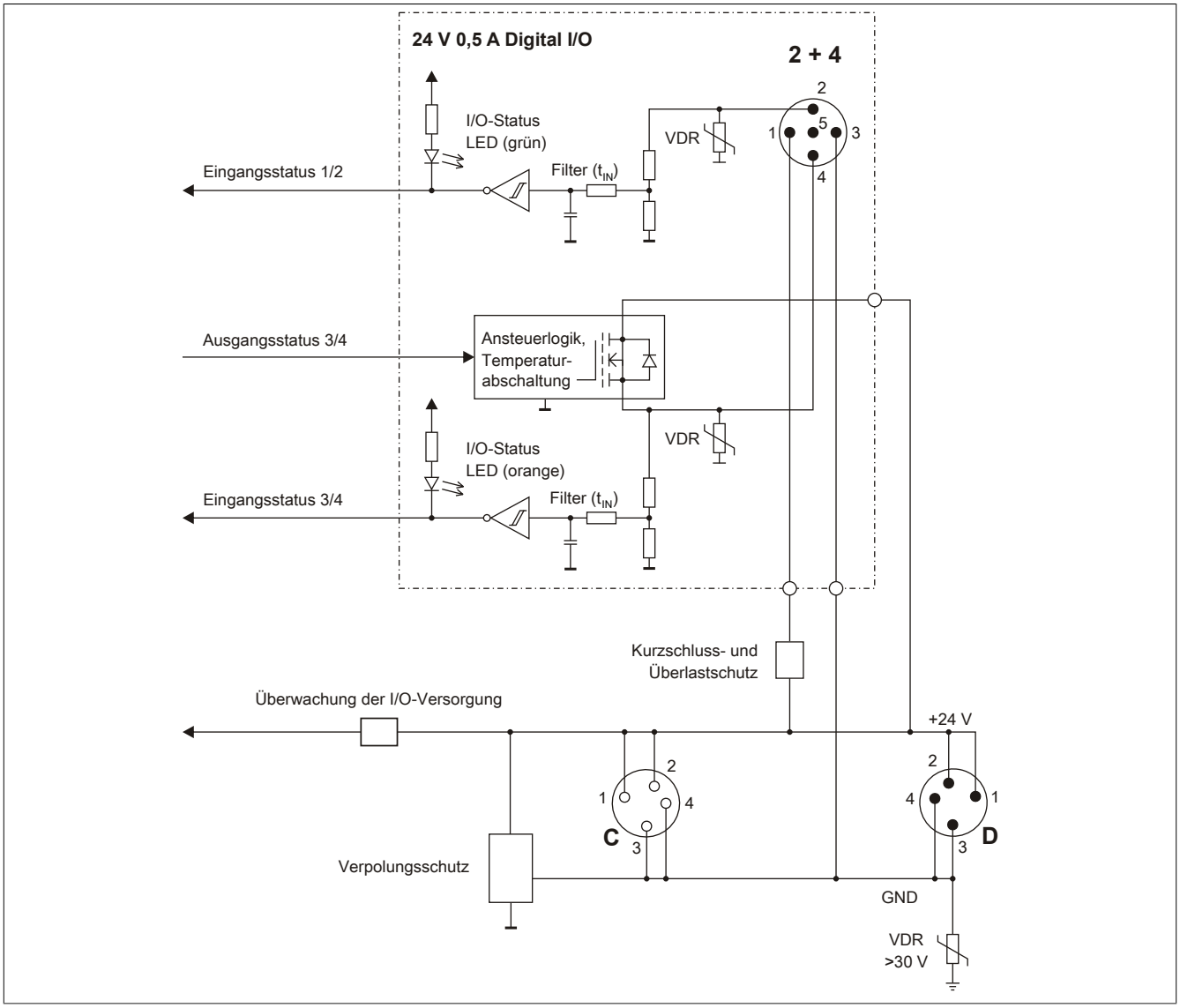
M12, 5-polig	Anschlussbelegung	
Anschluss 2   Anschluss 4	**Pin**	**Bezeichnung**
	1	Sensor-/Aktorversorgung 24 VDC[1)]
	2	DI 1 bzw. 2
	3	GND
	4	DI/DO 3 bzw. 4
	5	Schirm[2)]
	1) Sensor-/Aktorversorgung darf nicht extern erfolgen. 2) Schirm auch über Gewindeeinsatz im Modul. X2 → A-Codiert (female), Ein-/Ausgang	

3.7 Anwendungsbeispiel

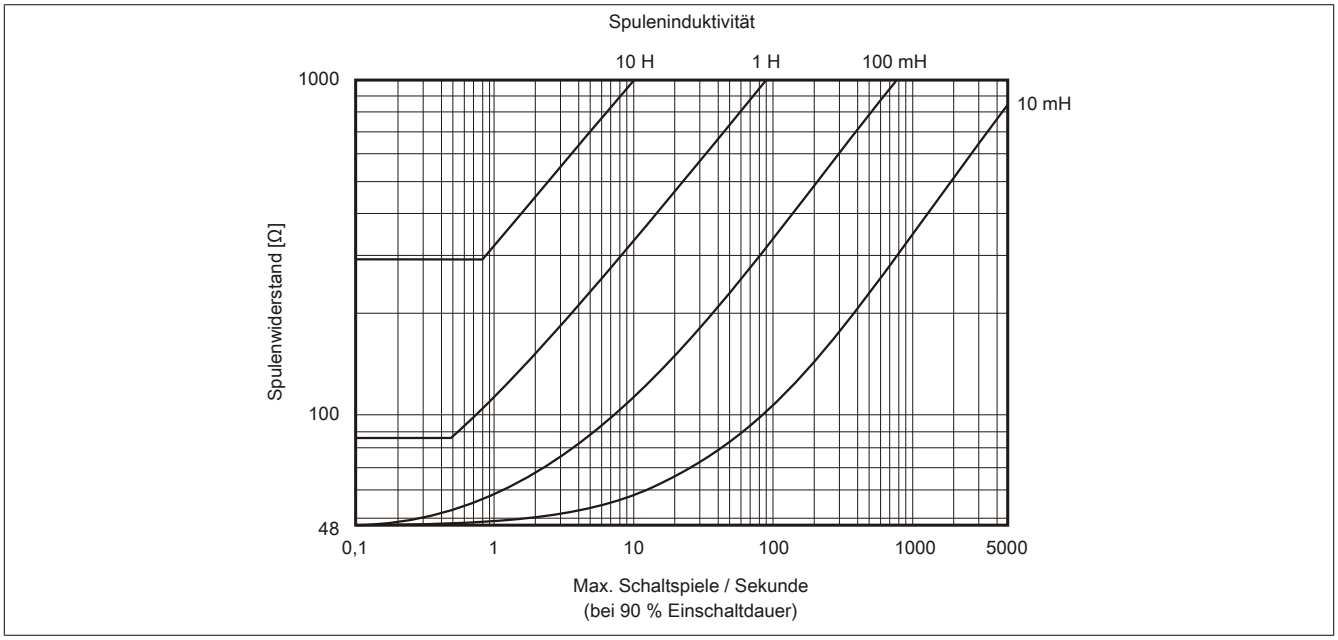
Im dargestellten Anwendungsfall sind Näherungssensor und Barcodeleser mit dem Kommunikationsmodul verbunden. Der Sensor aktiviert den Barcodeleser, wenn ein entsprechendes Produkt in den Lesebereich kommt.



3.8 Ein-/Ausgangsschema



3.9 Schalten induktiver Lasten



4 Registerbeschreibung

4.1 Allgemeine Datenpunkte

Neben den in der Registerbeschreibung beschriebenen Registern verfügt das Modul über zusätzliche allgemeine Datenpunkte. Diese sind nicht modulspezifisch, sondern enthalten allgemeine Informationen wie z. B. Seriennummer und Hardware-Variante.

Die allgemeinen Datenpunkte sind im X67 System Anwenderhandbuch, Abschnitt "Zusätzliche Informationen - Allgemeine Datenpunkte" beschrieben.

4.2 Funktionsmodell 2 - Stream und Funktionsmodell 254 - Cyclicstream

Die Funktionsmodelle "Stream" und "Cyclicstream" nutzen einen modulspezifischen Treiber des Betriebssystems. Die Schnittstelle kann mit Hilfe der Bibliothek "DvFrame" gesteuert und während der Laufzeit umkonfiguriert werden.

Funktionsmodell "Stream"

Beim Funktionsmodell "Stream" kommuniziert die CPU mit dem Modul azyklisch. Die Schnittstelle ist relativ komfortabel zu bedienen, arbeitet allerdings zeitlich unbestimmt.

Funktionsmodell "Cyclicstream"

Das Funktionsmodell "Cyclicstream" wurde zu einem späteren Zeitpunkt implementiert. Aus Sicht der Applikation gibt es keine Unterschiede zum Funktionsmodell "Stream". Intern werden jedoch zyklische I/O-Register genutzt, sodass die Kommunikation zeitlich determiniert abläuft.

Information:

- **Um die Funktionsmodelle "Stream" und "Cyclicstream" nutzen zu können, ist die Verwendung von B&R Steuerungen des Typs "SG4" notwendig.**
- **Diese Funktionsmodelle können nur im X2X Link und in POWERLINK-Netzwerken verwendet werden.**

Register	Name	Datentyp	Lesen		Schreiben	
			Zyklisch	Azyklisch	Zyklisch	Azyklisch
Modul - Konfiguration						
-	AsynSize	-				
Konfiguration						
1294	InputFilter	UINT				•
1281	OutputEnable	USINT				•
6273	CfO_ErrorID0007	USINT				•
Kommunikation						
135	Eingangszustand der digitalen Eingänge 1 bis 4	USINT	•			
	DigitalInput01	Bit 0				
	...	...				
	DigitalInput04	Bit 3				
129	Ausgangszustand der digitalen Ausgänge	USINT			•	
	DigitalOutput03	Bit 2				
	DigitalOutput04	Bit 3				
133	Status der digitalen Ausgänge	USINT	•			
	StatusDigitalOutput03	Bit 2				
	StatusDigitalOutput04	Bit 3				
137	Status der Betriebsgrenzen	USINT		•		
	StatusSupplyVoltage	Bit 0				

4.3 Funktionsmodell 254 - Flatstream

Der Flatstream ermöglicht eine unabhängige Kommunikation zwischen einem X2X-Master und dem Modul. Für das Modul wurde diese Schnittstelle als separates Funktionsmodell implementiert. Die seriellen Informationen werden mittels zyklischer Ein- und Ausgangsregister übertragen. Zur Steuerung des Datenstroms werden die sogenannten Sequenz- und Steuerbytes genutzt (siehe "Die Flatstream-Kommunikation" auf Seite 21).

Bei Verwendung des Funktionsmodells Flatstream kann der Anwender wählen, ob er die Automation Studio Bibliothek "AsFltGen" zur Implementierung nutzt oder die Flatstream-Behandlung individuell an die Anforderungen der Applikation anpassen möchte.

Register	Name	Datentyp	Lesen		Schreiben	
			Zyklisch	Azyklisch	Zyklisch	Azyklisch
Konfiguration - I/O und Status						
1294	InputFilter	UINT				•
1281	OutputEnable	USINT				•
6273	CfO_ErrorID0007	USINT				•
Konfiguration - Schnittstelle						
260	IF1CfgPhy	UDINT				•
772	IF2CfgPhy	UDINT				•
268	IF1phyBaud	UDINT				•
780	IF2phyBaud	UDINT				•
Konfiguration - Handshake						
284	IF1hshCfg	UDINT				•
796	IF2hshCfg	UDINT				•
292	IF1hssXOnOff	UDINT				•
804	IF2hssXOnOff	UDINT				•
298	IF1hssPeriod	UINT				•
810	IF2hssPeriod	UINT				•
274	IF1hshInvTxF	UINT				•
786	IF2hshInvTxF	UINT				•
324	IF1rxlLockUnlock	UDINT				•
836	IF2rxlLockUnlock	UDINT				•
Konfiguration - Frame						
332	IF1rxCtoEomSize	UDINT				•
844	IF2rxCtoEomSize	UDINT				•
364	IF1txCtoEomSize	UDINT				•
876	IF2txCtoEomSize	UDINT				•
340	IF1rxEomChar01	UDINT				•
852	IF2rxEomChar01	UDINT				•
348	IF1rxEomChar23	UDINT				•
860	IF2rxEomChar23	UDINT				•
372	IF1txEomChar01	UDINT				•
884	IF2txEomChar01	UDINT				•
380	IF1txEomChar23	UDINT				•
892	IF2txEomChar23	UDINT				•
Kommunikation						
135	Eingangszustand der digitalen Eingänge 1 bis 4	USINT	•			
	DigitalInput01	Bit 0				
	...	...				
	DigitalInput04	Bit 3				
129	Ausgangszustand der digitalen Ausgänge	USINT			•	
	DigitalOutput03	Bit 2				
	DigitalOutput04	Bit 3				
6145	Statusbits Fehlermeldungen	USINT	•			
	IF1StartBitError	Bit 0				
	IF1StopBitError	Bit 1				
	IF1ParityError	Bit 2				
	IF1RXoverrun	Bit 3				
	IF2StartBitError	Bit 4				
	IF2StopBitError	Bit 5				
	IF2ParityError	Bit 6				
	IF2RXoverrun	Bit 7				
6209	Quittieren der Statusbits	USINT			•	
	IF1QuitStartBitError	Bit 0				
	IF1QuitStopBitError	Bit 1				
	IF1QuitParityError	Bit 2				
	IF1QuitRXoverrun	Bit 3				
	IF2QuitStartBitError	Bit 4				
	IF2QuitStopBitError	Bit 5				
	IF2QuitParityError	Bit 6				
	IF2QuitRXoverrun	Bit 7				
133	Status der digitalen Ausgänge	USINT	•			
	StatusDigitalOutput03	Bit 2				
	StatusDigitalOutput04	Bit 3				

Register	Name	Datentyp	Lesen		Schreiben	
			Zyklisch	Azyklisch	Zyklisch	Azyklisch
137	Status der Betriebsgrenzen	USINT	•			
	StatusSupplyVoltage	Bit 0				
Flatstream[1]						
196	IF1CfgMTU	UDINT				•
212	IF2CfgMTU	UDINT				•
204	IF1forwardDelay	UINT				•
220	IF2forwardDelay	UINT				•
0	IF1InputSequence	USINT	•			
64	IF2InputSequence	USINT	•			
N	IF1RxByteN (Index N = 1 bis 27)	USINT	•			
64 + N	IF2RxByteN (Index N = 1 bis 27)	USINT	•			
32	IF1OutputSequence	USINT			•	
96	IF2OutputSequence	USINT			•	
32 + N	IF1TxByteN (Index N = 1 bis 27)	USINT			•	
96 + N	IF2TxByteN (Index N = 1 bis 27)	USINT			•	

1) Für jede Schnittstelle ist ein eigener Flatstream vorhanden.

4.4 Funktionsmodell 254 - Bus Controller

Das Funktionsmodell "Bus Controller" entspricht dem Funktionsmodell "Flatstream" in reduzierter Form. Statt bis zu 27 Tx- bzw. Rx-Bytes können max. 7 Tx- bzw. Rx-Bytes genutzt werden.

> **Information:**
>
> **In diesem Funktionsmodell ist es nicht möglich, die vordefinierte Konfiguration zu ändern oder zu erweitern!**

Register	Offset[1]	Name	Datentyp	Lesen		Schreiben	
				Zyklisch	Azyklisch	Zyklisch	Azyklisch
Konfiguration - I/O und Status							
1294	-	InputFilter	UINT				•
1281	-	OutputEnable	USINT				•
6273	-	CfO_ErrorID0007	USINT				•
Konfiguration - Schnittstelle							
260	-	IF1CfgPhy	UDINT				•
772	-	IF2CfgPhy	UDINT				•
268	-	IF1phyBaud	UDINT				•
780	-	IF2phyBaud	UDINT				•
Konfiguration - Handshake							
284	-	IF1hshCfg	UDINT				•
796	-	IF2hshCfg	UDINT				•
292	-	IF1hssXOnOff	UDINT				•
804	-	IF2hssXOnOff	UDINT				•
298	-	IF1hssPeriod	UINT				•
810	-	IF2hssPeriod	UINT				•
274	-	IF1hshInvTxF	UINT				•
786	-	IF2hshInvTxF	UINT				•
324	-	IF1rxILockUnlock	UDINT				•
836	-	IF2rxILockUnlock	UDINT				•
Konfiguration - Frame							
332	-	IF1rxCtoEomSize	UDINT				•
844	-	IF2rxCtoEomSize	UDINT				•
364	-	IF1txCtoEomSize	UDINT				•
876	-	IF2txCtoEomSize	UDINT				•
340	-	IF1rxEomChar01	UDINT				•
852	-	IF2rxEomChar01	UDINT				•
348	-	IF1rxEomChar23	UDINT				•
860	-	IF2rxEomChar23	UDINT				•
372	-	IF1txEomChar01	UDINT				•
884	-	IF2txEomChar01	UDINT				•
380	-	IF1txEomChar23	UDINT				•
892	-	IF2txEomChar23	UDINT				•
Kommunikation							
135	18	Eingangszustand der digitalen Eingänge 1 bis 4	USINT	•			
		DigitalInput01	Bit 0				
		...	...				
		DigitalInput04	Bit 3				
129	18	Ausgangszustand der digitalen Ausgänge	USINT			•	
		DigitalOutput03	Bit 2				
		DigitalOutput04	Bit 3				

Register	Offset[1]	Name	Datentyp	Lesen		Schreiben	
				Zyklisch	Azyklisch	Zyklisch	Azyklisch
6145	16	Statusbits Fehlermeldungen	USINT	•			
		IF1StartBitError	Bit 0				
		IF1StopBitError	Bit 1				
		IF1ParityError	Bit 2				
		IF1RXoverrun	Bit 3				
		IF2StartBitError	Bit 4				
		IF2StopBitError	Bit 5				
		IF2ParityError	Bit 6				
		IF2RXoverrun	Bit 7				
6209	16	Quittieren der Statusbits	USINT			•	
		IF1QuitStartBitError	Bit 0				
		IF1QuitStopBitError	Bit 1				
		IF1QuitParityError	Bit 2				
		IF1QuitRXoverrun	Bit 3				
		IF2QuitStartBitError	Bit 4				
		IF2QuitStopBitError	Bit 5				
		IF2QuitParityError	Bit 6				
		IF2QuitRXoverrun	Bit 7				
133	19	Status der digitalen Ausgänge	USINT	•			
		StatusDigitalOutput03	Bit 2				
		StatusDigitalOutput04	Bit 3				
137	-	Status der Betriebsgrenzen	USINT		•		
		StatusSupplyVoltage	Bit 0				
Flatstream[2]							
196	-	IF1CfgMTU	UDINT				•
212	-	IF2CfgMTU	UDINT				•
204	-	IF1forwardDelay	UINT				•
220	-	IF2forwardDelay	UINT				•
0	0	IF1InputSequence	USINT	•			
64	8	IF2InputSequence	USINT	•			
N	N	IF1RxByteN (Index N = 1 bis 7)	USINT	•			
64 + N	8 + N	IF2RxByteN (Index N = 1 bis 7)	USINT	•			
32	0	IF1OutputSequence	USINT			•	
96	8	IF2OutputSequence	USINT			•	
32 + N	N	IF1TxByteN (Index N = 1 bis 7)	USINT			•	
96 + N	8 + N	IF2TxByteN (Index N = 1 bis 7)	USINT			•	

1) Der Offset gibt an, wo das Register im CAN-Objekt angeordnet ist.
2) Für jede Schnittstelle ist ein eigener Flatstream vorhanden.

4.4.1 Verwendung des Moduls am Bus Controller

Das Funktionsmodell 254 "Bus Controller" wird defaultmäßig nur von nicht konfigurierbaren Bus Controllern verwendet. Alle anderen Bus Controller können, abhängig vom verwendeten Feldbus, andere Register und Funktionen verwenden.

Für Detailinformationen siehe X67 Anwenderhandbuch (ab Version 3.30), Abschnitt "Zusätzliche Informationen - Verwendung von I/O-Modulen am Bus Controller".

4.4.2 CAN-I/O Bus Controller

Das Modul belegt an CAN-I/O 3 analoge logische Steckplätze.

4.5 Konfiguration - I/O und Status

4.5.1 Konfiguration des Eingangsfilters

Name:
InputFilter

In diesem Register kann der Filterwert für alle digitalen Eingänge parametriert werden.

Der Filterwert kann in Schritten von 100 µs eingestellt werden. Da die Abtastung der Eingangssignale jedoch im Raster von 200 µs erfolgt, ist es sinnvoll Werte in 2er-Schritten einzugeben.

Datentyp	Werte	Filter
USINT	0	Kein Softwarefilter (Bus Controller Default)
	2	0,2 ms
	...	...
	250	25 ms - höhere Werte werden auf diesen Wert begrenzt

4.5.2 Ein-/Ausgangskonfiguration Kanäle 3 und 4

Name:
OutputEnable

Mit diesem Register werden die Kanäle 3 und 4 entweder als Eingang oder als Ausgang konfiguriert.

Datentyp	Werte	Bus Controller Default
USINT	Siehe Bitstruktur	0

Bitstruktur:

Bit	Bezeichnung	Wert	Information
0 - 1	Reserviert	-	
2	Kanal 03	0	Als Eingang konfiguriert (Bus Controller Default)
		1	Als Ausgang konfiguriert
3	Kanal 04	0	Als Eingang konfiguriert (Bus Controller Default)
		1	Als Ausgang konfiguriert
4 - 7	Reserviert	-	

4.5.3 Fehler an Anwendung weiterreichen

Name:
CfO_ErrorID0007

In diesem Register kann eingestellt werden, welche Fehlermeldungen an die Anwendung weitergereicht werden.

Datentyp	Werte	Bus Controller Default
USINT	Siehe Bitstruktur	0

Bitstruktur:

Bit	Bezeichnung	Wert	Information
0	StartBitError - IF1	0	Ignorieren (Bus Controller Default)
		1	Fehlerhaftes Startbit anzeigen
1	StopBitError - IF1	0	Ignorieren (Bus Controller Default)
		1	Fehlerhaftes Stoppbit anzeigen
2	ParityError - IF1	0	Ignorieren (Bus Controller Default)
		1	Fehlerhaftes Paritätsbit anzeigen
3	RXoverrun - IF1	0	Ignorieren (Bus Controller Default)
		1	Überlauf in Empfangsrichtung anzeigen
4	StartBitError - IF2	0	Ignorieren (Bus Controller Default)
		1	Fehlerhaftes Startbit anzeigen
5	StopBitError - IF2	0	Ignorieren (Bus Controller Default)
		1	Fehlerhaftes Stoppbit anzeigen
6	ParityError - IF2	0	Ignorieren (Bus Controller Default)
		1	Fehlerhaftes Paritätsbit anzeigen
7	RXoverrun - IF2	0	Ignorieren (Bus Controller Default)
		1	Überlauf in Empfangsrichtung anzeigen

4.6 Konfiguration - Serielle Schnittstelle

4.6.1 Konfiguration der Schnittstellen

Name:
IF1CfgPhy bis IF2CfgPhy

In diesen Registern können die Schnittstellen konfiguriert werden. Für jedes Register dürfen nur die entsprechenden Schnittstellenwerte verwendet werden.

- IF1CfgPhy konfiguriert RS232-Schnittstelle
- IF2CfgPhy konfiguriert RS422/485-Schnittstelle

Nach vollständigem Beschreiben aller anderen Konfigurationsregister muss das Aktivieren der Schnittstelle der letzte Schreibbefehl sein. Falls eine Parameteränderung notwendig ist, muss die Schnittstelle zuerst deaktiviert werden.

Datentyp	Werte	Bus Controller Default
UDINT	Siehe Bitstruktur	0x80245

Bitstruktur:

Bit	Beschreibung	Wert	Information
0 - 7	Konfiguration des Paritybits[1)]	48	"0" - (Low) Bit immer 0
		49	"1" - (High) Bit immer 1
		69	"E" - (Even) Gerades Parity (Bus Controller Default)
		78	"N" - (No) Kein Bit
		79	"O" - (Odd) Ungerades Parity
8 - 15	Anzahl der Stoppbits	2	1 Stoppbit (Bus Controller Default)
		4	2 Stoppbits
16 - 23	Anzahl der Datenbits pro Zeichen	7	7 Datenbits
		8	8 Datenbits (Bus Controller Default)
24 - 31	Schnittstellenmodus	0	Schnittstelle deaktiviert (Bus Controller Default)
		2	RS232-Schnittstelle aktiv
		4	RS422-Schnittstelle aktiv[2)]
		5	RS422-Schnittstelle als Bus aktiv[3)]
		6	RS485-Schnittstelle mit Echo aktiv
		7	RS485-Schnittstelle ohne Echo aktiv

1) ASCII-codierte dezimale Werte
2) Verbindung von 2 Stationen
3) Verbindungen mehrerer Stationen möglich. Sendeleitungen werden wie bei RS485 Tristate geschalten.

4.6.2 Einstellen der Baudrate

Name:
IF1phyBaud bis IF2phyBaud

Mit Hilfe dieses Register wird die Baudrate der Schnittstelle in Bit/s eingestellt.

Datentyp	Werte	Bedeutung
UDINT	1200	1,2 kBaud
	2400	2,4 kBaud
	4800	4,8 kBaud
	9600	9,6 kBaud
	19200	19,2 kBaud
	38400	38,4 kBaud
	57600	57,6 kBaud (Bus Controller Default)
	115200	115,2 kBaud

4.7 Konfiguration - Handshake

Um den reibungslosen Ablauf der seriellen Kommunikation zu gewährleisten, muss bekannt gegeben werden, wie groß der zu nutzende Empfangspuffer im Modul ist. Außerdem kann der Anwender einen soft- bzw. hardwareseitigen Handshake-Algorithmus vereinbaren.

4.7.1 RTS-Auswertung und Frameerkennung

Name:
IF1hshCfg bis IF2hshCfg

In diesem Register kann die Steuerung der Hardware-Handshake Leitung RTS in Abhängigkeit vom Füllstand des Empfangspuffers konfiguriert und die hardwareseitige Frameerkennung generell aktiviert werden.

Die RTS-Leitung ist aktiv, solange Daten gesendet werden. Dieser Tx-Framing-Modus kann zu Steuerung von externen Schnittstellenumsetzern verwendet werden.

Datentyp	Werte	Bus Controller Default
UDINT	Siehe Bitstruktur	0

Bitstruktur:

Bit	Beschreibung	Wert	Information
0 - 7	Frameerkennung	0	RTS-Leitung frei verfügbar für andere Flusssteuerungsmethoden (Bus Controller Default)
		16	RTS-Leitung Tx-Frameerkennung eingeschaltet
		80	RTS-Leitung Tx-Frameerkennung eingeschaltet (ohne Echo)
8 - 15	Flusssteuerung	0	RTS-Leitung frei verfügbar für andere Flusssteuerungsmethoden (Bus Controller Default)
		16	RTS-Leitung wird vom Füllstand des Empfangspuffers gesteuert
16 - 31	Reserviert	0	

4.7.2 Software Handshake Steuerzeichen

Name:
IF1hssXOnOff bis IF2hssXOnOff

Mit diesen Registern können die Steuerzeichen XOn und XOff, die bei der Flusssteuerung mittels Software-Handshake zum Einsatz kommen, konfiguriert werden. Für eine korrekte Funktion ist darauf zu achten, dass gültige XOn/XOff-Steuerzeichen definiert werden.
Neben den Standardwerten für XOn (17) und XOff (19) können aber auch andere Werte konfiguriert werden.

Datentyp	Werte	Bus Controller Default
UDINT	Siehe Bitstruktur	0xFFFFFFFF

Bitstruktur:

Bit	Beschreibung	Wert	Information
0 - 15	XOff-Steuerzeichen	19	Standard XOff ASCII-Zeichen
		65535	Kein Software-Handshake (Bus Controller Default)
16 - 31	XOn-Steuerzeichen	17	Standard XOn ASCII-Zeichen
		65535	Kein Software-Handshake (Bus Controller Default)

4.7.3 Wiederholung des Handshakes

Name:
IF1hssPeriod bis IF2hssPeriod

Einige Anwendungen verlangen bei softwareseitigen Handshakes eine periodische Wiederholung des aktuellen Status. Zu diesem Zweck kann in diesem Register die Wiederholzeit in ms vorgegeben werden.

Datentyp	Werte	Bedeutung
UINT	0	Automatische Statuswiederholung deaktiviert
	500 bis 10000	Wiederholzeit in msec.; Bus Controller Default: 5000

4.7.4 Invertieren von RTS/CTS

Name:
IF1hshInvTxF bis IF2hshInvTxF

Mit Hilfe dieses Registers können die Signale der RTS bzw. CTS logisch invertiert werden.

Datentyp	Werte	Bus Controller Default
UINT	Siehe Bitstruktur	0

Bitstruktur:

Bit	Bezeichnung	Wert	Information
0 - 7	TX-Signal maskieren	0	Keine Maskierung (Bus Controller Default)
		1	CTS-Signal maskieren
8 - 15	Signale invertieren	0	Invertierung aus (Bus Controller Default)
		1	CTS-Signal Invertierung ein
		16	RTS-Signal Invertierung ein
		17	CTS- und RTS-Signal Invertierung ein

4.7.5 Sperren/Entsperren des Empfangspuffers

Name:
IF1rxlLockUnlock bis IF2rxlLockUnlock

Mit Hilfe der beiden Register "Lock"- bzw. "Unlock" kann die sogenannte "Flusskontrolle" zur Überwachung der Kommunikation genutzt werden. Überschreitet die Datenmenge im Eingang des Moduls den Wert des "Lock"-Registers, schaltet die Flusskontrolle in den Zustand "passiv". Um wieder in den Zustand "aktiv" bzw. "empfangsbereit" zu gelangen, muss die Datenmenge im Empfangspuffer unter den Vorgabewert des "Unlock"-Registers sinken.

Information:

Da durch diese Register das Verhalten eines Schmitt-Triggers nachgebildet wird, muss der Wert des "Lock"-Registers größer sein als der Wert des "Unlock"-Registers.

Datentyp	Werte	Bus Controller Default
UDINT	Siehe Bitstruktur	0x4000200

Bitstruktur:

Bit	Beschreibung	Wert	Information
0 - 15	Unterer Schwellwert des Empfangspuffers	0 bis 4095	Bus Controller Default: 512
16 - 31	Oberer Schwellwert des Empfangspuffers	0 bis 4095	Bus Controller Default: 1024

4.8 Konfiguration - Frame

Um die gesendeten Tx-Frames korrekt zu bilden und die empfangenen Rx-Frames richtig zu interpretieren, können unterschiedliche Nachrichten-Endekennungen festgelegt werden.

4.8.1 Empfangsframe konfigurieren

Name:
IF1rxCtoEomSize bis IF2rxCtoEomSize

Mit diesem Register wird die maximale Byteanzahl des Empfangsframes und die Zeitdauer bis zum Auslösen einer Empfangs-Zeitüberschreitung konfiguriert.

Datentyp	Werte	Bus Controller Default
UDINT	Siehe Bitstruktur	0x40100

Bitstruktur:

Bit	Beschreibung	Wert	Information
0 - 15	Maximale Byteanzahl des Empfangsframes	0	Funktion deaktiviert
		1 bis 4096	Konfigurierbare Empfangsframelänge in Zeichen; Bus Controller Default: 256
16 - 31	Zeitdauer bis zum Auslösen einer Empfangs-Zeitüberschreitung	0	Funktion deaktiviert
		1 bis 65535	Empfangs-Zeitüberschreitung in Zeichen; Bus Controller Default: 4

Maximale Byteanzahl des Empfangsframes

Die Nachricht gilt als beendet, sobald ein Frame der eingestellten Größe in Bytes übertragen wurde. Die größte mögliche Framelänge entspricht dem Empfangspuffer von 4096 Bytes. Größere Frames führen zum Fehler Receive Overrun.

Zeitdauer bis zum Auslösen einer Empfangs-Zeitüberschreitung

Die Nachricht gilt als beendet, wenn für die vereinbarte Dauer keine Übertragung stattfindet. Die Zeitangabe wird dabei in Zeichen angegeben, um von der Übertragungsrate unabhängig zu sein. Dafür wird die Anzahl der Zeichen mit der Zeitspanne multipliziert, die zur Übertragung eines Zeichens benötigt wird.

4.8.2 Sendeframe konfigurieren

Name:
IF1txCtoEomSize to IF2txCtoEomSize

Mit diesem Register wird die maximale Byteanzahl des Sendeframes und die Zeitdauer bis zum Auslösen einer Sende-Zeitüberschreitung konfiguriert.

Datentyp	Werte	Bus Controller Default
UDINT	Siehe Bitstruktur	0x51000

Bitstruktur:

Bit	Beschreibung	Wert	Information
0 - 15	Maximale Byteanzahl des Sendeframes	0	Funktion deaktiviert
		1 bis 4096	Konfigurierbare Sendeframelänge in Zeichen; Bus Controller Default: 256
16 - 31	Sendepause	0	Funktion deaktiviert
		1 bis 65535	Sendepause in Zeichen; Bus Controller Default: 5

Maximale Byteanzahl des Sendeframes

Die Nachricht gilt als beendet, sobald ein Frame der eingestellten Größe in Bytes übertragen wurde. Die größte mögliche Framelänge entspricht dem Sendepuffer von 4096 Bytes. Nach Senden des Frames wird die konfigurierte Sendepause eingehalten.

Sendepause

Für den angegebenen Zeitraum wird keine Zeichen gesendet. Die Zeitangabe wird dabei in Zeichen angegeben, um von der Übertragungsrate unabhängig zu sein. Dafür wird die Anzahl der Zeichen mit der Zeitspanne multipliziert, die zur Übertragung eines Zeichens benötigt wird.

4.8.3 Empfangsabschlusszeichen definieren

Name:
IF1rxEomChar01 bis IF2rxEomChar01
IF1rxEomChar23 bis IF2rxEomChar23

In jedem Register kann ein mögliches Empfangsabschlusszeichen konfiguriert werden.

Alle 4 Zeichen sind gleichwertig. Die Nachricht gilt als beendet, sobald eines der definierten Zeichen übertragen wird.

Datentyp	Werte	Bus Controller Default
UDINT	Siehe Bitstruktur	0xFFFFFFFF

Bitstruktur:

Bit	Beschreibung	Wert	Information
0 - 15	2. Zeichen: IF1rxEomChar01 4. Zeichen: IF1rxEomChar23	0 bis 255	Abschlusszeichen des Frames ASCII-Code
		65535	Funktion deaktiviert (Bus Controller Default)
16 - 31	1. Zeichen: IF2rxEomChar01 3. Zeichen: IF2rxEomChar23	0 bis 255	Abschlusszeichen des Frames ASCII-Code
		65535	Funktion deaktiviert (Bus Controller Default)

4.8.4 Sendeabschlusszeichen definieren

Name:
IF1txEomChar01 bis IF2txEomChar01
IF1txEomChar23 bis IF2txEomChar23

In jedem Register kann ein mögliches Sendeabschlusszeichen konfiguriert werden.

Alle 4 Zeichen sind gleichwertig. Die Nachricht gilt als beendet, sobald eines der definierten Zeichen übertragen wird.

Datentyp	Werte	Bus Controller Default
UDINT	Siehe Bitstruktur	0xFFFFFFFF

Bitstruktur:

Bit	Beschreibung	Wert	Information
0 - 15	2. Zeichen: IF1txEomChar01 4. Zeichen: IF1txEomChar23	0 bis 255	Abschlusszeichen des Frames ASCII-Code
		65535	Funktion deaktiviert (Bus Controller Default)
16 - 31	1. Zeichen: IF2txEomChar01 3. Zeichen: IF2txEomChar23	0 bis 255	Abschlusszeichen des Frames ASCII-Code
		65535	Funktion deaktiviert (Bus Controller Default)

4.9 Konfiguration - Flatstream MTU

Name:
IF1CfgMTU bis IF2CfgMTU

Mit diesem Register werden die MTU-Einstellungen konfiguriert. Für eine Beschreibung siehe die entsprechenden Abschnitte in "Die Flatstream-Kommunikation" auf Seite 21.

Datentyp	Werte
UDINT	Siehe Bitstruktur

Bitstruktur:

Bit	Beschreibung	Wert	Information
0 - 7	Anzahl der unbestätigten Sequenzen	1 bis 7	Default = 1
8	Flatstream Modus (Bit 0)	0	Mehrfachsegmente nicht erlaubt (Default)
		1	Mehrfachsegmente innerhalb MTU erlaubt
9	Flatstream Modus (Bit 1)	0	Segmentgröße maximal MTU-Größe (Default)
		1	Segmentgröße darf MTU-Größe überschreiten
10 - 15	Reserviert	-	
16 - 23	Anzahl der aktivierten Tx- bzw. Rx-Bytes (InputMTU-Größe)	1 bis 27	Default = 7[1)]
24 - 31	Anzahl der aktivierten Tx- bzw. Rx-Bytes (OutputMTU-Größe)	1 bis 27	Default = 7[1)]

1) Im Funktionsmodell 254 - Bus Controller ist die Größe nicht veränderbar. Fixe Länge = 7.

4.10 Kommunikation

4.10.1 Digitale Eingänge

Ungefiltert

Der Eingangszustand wird mit einem festen Versatz bezogen auf den Netzwerkzyklus erfasst und im selben Zyklus übertragen.

Gefiltert

Der gefilterte Zustand wird mit einem festen Versatz bezogen auf den Netzwerkzyklus erfasst und im selben Zyklus übertragen. Das Filtern erfolgt asynchron zum Netzwerk in einem Raster von 200 µs mit einem Netzwerk bedingten Jitter von bis zu 50 µs.

4.10.1.1 Eingangszustand der digitalen Eingänge 1 bis 4

Name:
DigitalInput01 bis DigitalInput04

In diesem Register ist der Eingangszustand der digitalen Eingänge 1 bis 4 abgebildet.

Datentyp	Werte
USINT	Siehe Bitstruktur

Bitstruktur:

Bit	Bezeichnung	Wert	Information
0	DigitalInput01	0 oder 1	Eingangszustand digitaler Eingang 1
...		...	
3	DigitalInput04	0 oder 1	Eingangszustand digitaler Eingang 4

4.10.2 Digitale Ausgänge

Der Ausgangszustand wird auf die Ausgangskanäle mit einem festen Versatz (<60 µs) bezogen auf den Netzwerkzyklus (SyncOut) übertragen.

4.10.2.1 Ausgangszustand der digitalen Ausgänge

Name:
DigitalOutput03 bis DigitalOutput04

In diesem Register ist der Schaltzustand der digitalen Ausgänge 3 bis 4 hinterlegt.

Datentyp	Werte
USINT	Siehe Bitstruktur

Bitstruktur:

Bit	Bezeichnung	Wert	Information
0 - 1	Reserviert	-	
2	DigitalOutput03	0	Digitalausgang 03 rückgesetzt
		1	Digitalausgang 03 gesetzt
3	DigitalOutput04	0	Digitalausgang 04 rückgesetzt
		1	Digitalausgang 04 gesetzt
4 - 7	Reserviert	-	

4.10.2.2 Status der digitalen Ausgänge

Name:
StatusDigitalOutput03 bis StatusDigitalOutput04

In diesem Register ist der Status der digitalen Ausgänge 3 und 4 abgebildet.

Datentyp	Werte
USINT	Siehe Bitstruktur

Bitstruktur:

Bit	Beschreibung	Wert	Information
0 - 1	Reserviert	-	
2	StatusDigitalOutput03	0	Kanal 03: Kein Fehler
		1	Kanal 03: Kurzschluss oder Überlast
3	StatusDigitalOutput04	0	Kanal 04: Kein Fehler
		1	Kanal 04: Kurzschluss oder Überlast
4 - 7	Reserviert	-	

4.10.3 Statusbits Fehlermeldungen

Name:
IF1StartBitError bis IF2StartBitError
IF1StopBitError bis IF2StopBitError
IF1ParityError bis IF2ParityError
IF1RXoverrun bis IF2RXoverrun

Mit Hilfe dieses Registers werden die Einzelbits übertragen, die einen Fehler anzeigen. Tritt einer der Fehler auf, so wird das entsprechende Bit gesetzt und gehalten bis eine Quittierung erfolgt.

Datentyp	Werte
USINT	Siehe Bitstruktur

Bitstruktur:

Bit	Bezeichnung	Wert	Information
0	IF1StartBitError	0	Kein Fehler
		1	Startbit-Fehler aufgetreten[1)]
1	IF1StopBitError	0	Kein Fehler
		1	Stopbit-Fehler aufgetreten[1)]
2	IF1ParityError	0	Kein Fehler
		1	Paritybit-Fehler aufgetreten[1)]
3	IF1RXoverrun	0	Kein Fehler
		1	Empfangspufferüberlauf aufgetreten[2)]
4	IF2StartBitError	0	Kein Fehler
		1	Startbit-Fehler aufgetreten[1)]
5	IF2StopBitError	0	Kein Fehler
		1	Stopbit-Fehler aufgetreten[1)]
6	IF2ParityError	0	Kein Fehler
		1	Paritybit-Fehler aufgetreten[1)]
7	IF2RXoverrun	0	Kein Fehler
		1	Empfangspufferüberlauf aufgetreten[2)]

1) Dieser Fehler kann z. B. durch nicht zusammen passende Schnittstellenkonfigurationen oder Probleme mit der Verkabelung entstehen.
2) Mit diesem Datenpunkt wird ein Empfangspufferüberlauf gemeldet. Die Pufferkapazität am Modul ist ausgeschöpft und alle nachfolgenden Daten an der Schnittstelle gehen verloren. Ein Überlauf bedeutet immer, dass die am Modul empfangenen Daten nicht schnell genug vom übergeordnetem System ausgelesen werden.
Abhilfe kann hier getroffen werden durch eine Zykluszeitoptimierung aller beteiligten Übertragungsstrecken bzw. Taskklassen und die Verwendung der vorhandenen Handshake Möglichkeiten.

4.10.4 Quittieren der Statusbits

Name:
IF1QuitStartBitError bis IF2QuitStartBitError
IF1QuitStopBitError bis IF2QuitStopBitError
IF1QuitParityError bis IF2QuitParityError
IF1QuitRXoverrun bis IF2QuitRXoverrun

Mit Hilfe dieses Registers werden die Einzelbits übertragen, die einen angezeigten Fehlerzustand quittieren. Nachdem eines der Fehlerbits gesetzt wurde, kann es über das entsprechende Quittierungsbit zurückgesetzt werden. Ist der Fehler noch aktiv anstehend, wird das Fehlerstatusbit nicht gelöscht. Das Quittierungsbit kann erst rückgesetzt werden, wenn das Fehlerstatusbit nicht mehr gesetzt ist.

Datentyp	Werte
USINT	Siehe Bitstruktur

Bitstruktur:

Bit	Bezeichnung	Wert	Information
0	IF1QuitStartBitError	0	Keine Quittierung
		1	Startbit-Fehler quittieren
1	IF1QuitStopBitError	0	Keine Quittierung
		1	Stopbit-Fehler quittieren
2	IF1QuitParityError	0	Keine Quittierung
		1	Paritybit-Fehler quittieren
3	IF1QuitRXoverrun	0	Keine Quittierung
		1	Empfangspufferüberlauf Fehler quittieren
4	IF2QuitStartBitError	0	Keine Quittierung
		1	Startbit-Fehler quittieren
5	IF2QuitStopBitError	0	Keine Quittierung
		1	Stopbit-Fehler quittieren
6	IF2QuitParityError	0	Keine Quittierung
		1	Paritybit-Fehler quittieren
7	IF2QuitRXoverrun	0	Keine Quittierung
		1	Empfangspufferüberlauf Fehler quittieren

4.10.5 Status der Betriebsgrenzen

Name:
StatusSupplyVoltage

In diesem Register kann der Status der Betriebsgrenzen ausgelesen werden.

Datentyp	Werte
USINT	Siehe Bitstruktur

Bitstruktur:

Bit	Beschreibung	Wert	Information
0	StatusSupplyVoltage	0	I/O-Versorgung innerhalb der Warnungsgrenzen (18 bis 30 V)
		1	I/O-Versorgung außerhalb der Warnungsgrenzen (<18 V oder >30 V)
1 - 7	Reserviert	0	

4.11 Die Flatstream-Kommunikation

4.11.1 Einleitung

Für einige Module stellt B&R ein zusätzliches Kommunikationsverfahren bereit. Der "Flatstream" wurde für X2X und POWERLINK Netzwerke konzipiert und ermöglicht einen individuell angepassten Datentransfer. Obwohl das Verfahren nicht unmittelbar echtzeitfähig ist, kann die Übertragung effizienter gestaltet werden als bei der zyklischen Standardabfrage.

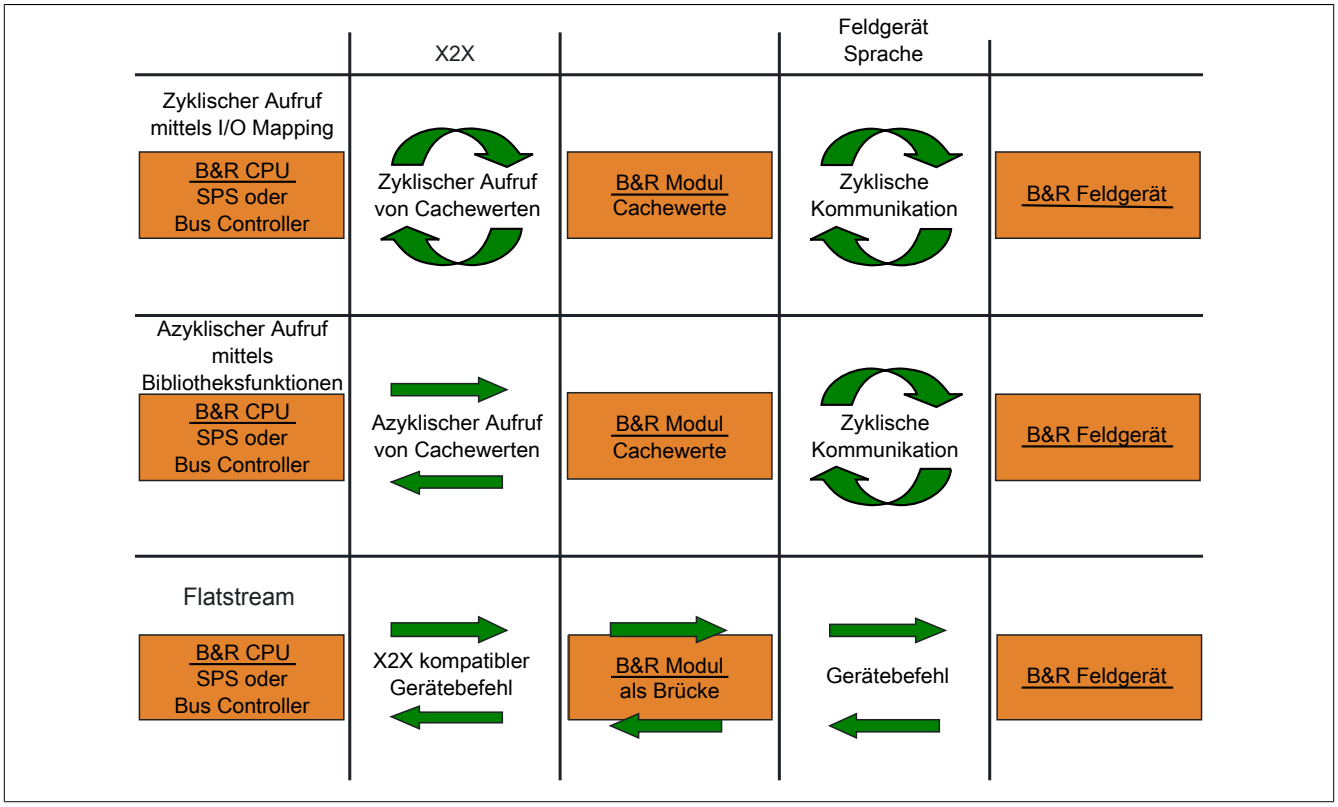


Abbildung 1: 3 Arten der Kommunikation

Durch den Flatstream wird die zyklische bzw. azyklische Abfrage ergänzt. Bei der Flatstream-Kommunikation fungiert das Modul als Bridge. Die Anfragen der CPU werden über das Modul direkt zum Feldgerät geleitet.

4.11.2 Nachricht, Segment, Sequenz, MTU

Die physikalischen Eigenschaften des Bussystems begrenzen die Datenmenge, die während eines Buszyklus übermittelt werden kann. Bei der Flatstream-Kommunikation werden alle Nachrichten als fortlaufender Datenstrom (engl. stream) betrachtet. Lange Datenströme müssen in mehrere Teile zerlegt und nacheinander versendet werden. Um zu verstehen wie der Empfänger die ursprüngliche Information wieder zusammensetzt, werden die Begriffe Nachricht, Segment, Sequenz und MTU unterschieden.

Nachricht

Eine Nachricht ist eine Mitteilung, die zwischen 2 Kommunikationspartnern ausgetauscht werden soll. Die Länge einer solchen Mitteilung wird durch das Flatstream-Verfahren nicht begrenzt. Es müssen allerdings modulspezifische Beschränkungen beachtet werden.

Segment (logische Gliederung einer Nachricht)

Ein Segment ist endlich groß und kann als Abschnitt der Nachricht verstanden werden. Die Anzahl der Segmente pro Nachricht ist beliebig. Damit der Empfänger die übertragenen Segmente wieder korrekt zusammensetzen kann, geht jedem Segment ein Byte mit Zusatzinformationen voraus. Das sogenannte Controlbyte enthält z. B. Informationen über die Länge eines Segments und ob das kommende Segment die Mitteilung vervollständigt. Auf diesem Weg wird der Empfänger in die Lage versetzt, den ankommenden Datenstrom korrekt zu interpretieren.

Sequenz (physikalisch notwendige Gliederung eines Segments)

Die maximale Größe einer Sequenz entspricht der Anzahl der aktivierten Rx- bzw. Tx-Bytes (später: "MTU"). Die sendende Station teilt das Sendearray in zulässige Sequenzen, die nacheinander in die MTU geschrieben, zum Empfänger übertragen und dort wieder aneinandergereiht werden. Der Empfänger legt die ankommenden Sequenzen in einem Empfangsarray ab und erhält somit ein Abbild des Datenstroms.
Bei der Flatstream-Kommunikation werden die abgesetzten Sequenzen gezählt. Erfolgreich übertragene Sequenzen müssen vom Empfänger bestätigt werden, um die Übertragung abzusichern.

MTU (Maximum Transmission Unit) - Physikalischer Transport

Die MTU des Flatstreams beschreibt die aktivierten USINT-Register für den Flatstream. Die Register können mindestens eine Sequenz aufnehmen und zum Empfänger übertragen. Für beide Kommunikationsrichtungen wird eine separate MTU vereinbart. Die OutputMTU definiert die Anzahl der Flatstream-Tx-Bytes und die InputMTU beschreibt die Anzahl der Flatstream-Rx-Bytes. Die MTUs werden zyklisch über den X2X Link transportiert, sodass die Auslastung mit jedem zusätzlich aktivierten USINT-Register steigt.

Eigenschaften

Flatstream-Nachrichten werden nicht zyklisch und nicht unmittelbar in Echtzeit übertragen. Zur Übertragung einer bestimmten Mitteilung werden individuell viele Buszyklen benötigt. Die Rx-/Tx-Register werden zwar zyklisch zwischen Sender und Empfänger ausgetauscht, aber erst weiterverarbeitet, wenn die Übernahme durch die Register "InputSequence" bzw. "OutputSequence" explizit angewiesen wird.

Verhalten im Fehlerfall (Kurzfassung)

Das Protokoll von X2X bzw. POWERLINK Netzwerken sieht vor, dass bei einer Störung die letzten gültigen Werte erhalten bleiben. Bei der herkömmlichen Kommunikation (zyklische/azyklische Abfrage) kann ein solcher Fehler in der Regel ignoriert werden.
Damit auch via Flatstream problemlos kommuniziert werden kann, müssen alle abgesetzten Sequenzen vom Empfänger bestätigt werden. Ohne die Nutzung des Forward verzögert sich die weitere Kommunikation um die Dauer der Störung.
Falls der Forward genutzt wird, erhält die Empfängerstation einen doppelt inkrementierten Sendezähler. Der Empfänger stoppt, das heißt, er schickt keine Bestätigungen mehr zurück. Anhand des SequenceAck erkennt die Sendestation, dass die Übertragung fehlerhaft war und alle betroffenen Sequenzen wiederholt werden müssen.

4.11.3 Prinzip des Flatstreams

Voraussetzung

Bevor der Flatstream genutzt werden kann, muss die jeweilige Kommunikationsrichtung synchronisiert sein, das heißt, beide Kommunikationspartner fragen zyklisch den SequenceCounter der Gegenstelle ab. Damit prüfen sie, ob neue Daten vorliegen, die übernommen werden müssen.

Kommunikation

Wenn ein Kommunikationspartner eine Nachricht an seine Gegenstelle senden will, sollte er zunächst ein Sendearray anlegen, das den Konventionen des Flatstreams entspricht. Auf diese Weise kann der Flatstream sehr effizient gestaltet werden, ohne wichtige Ressourcen zu blockieren.

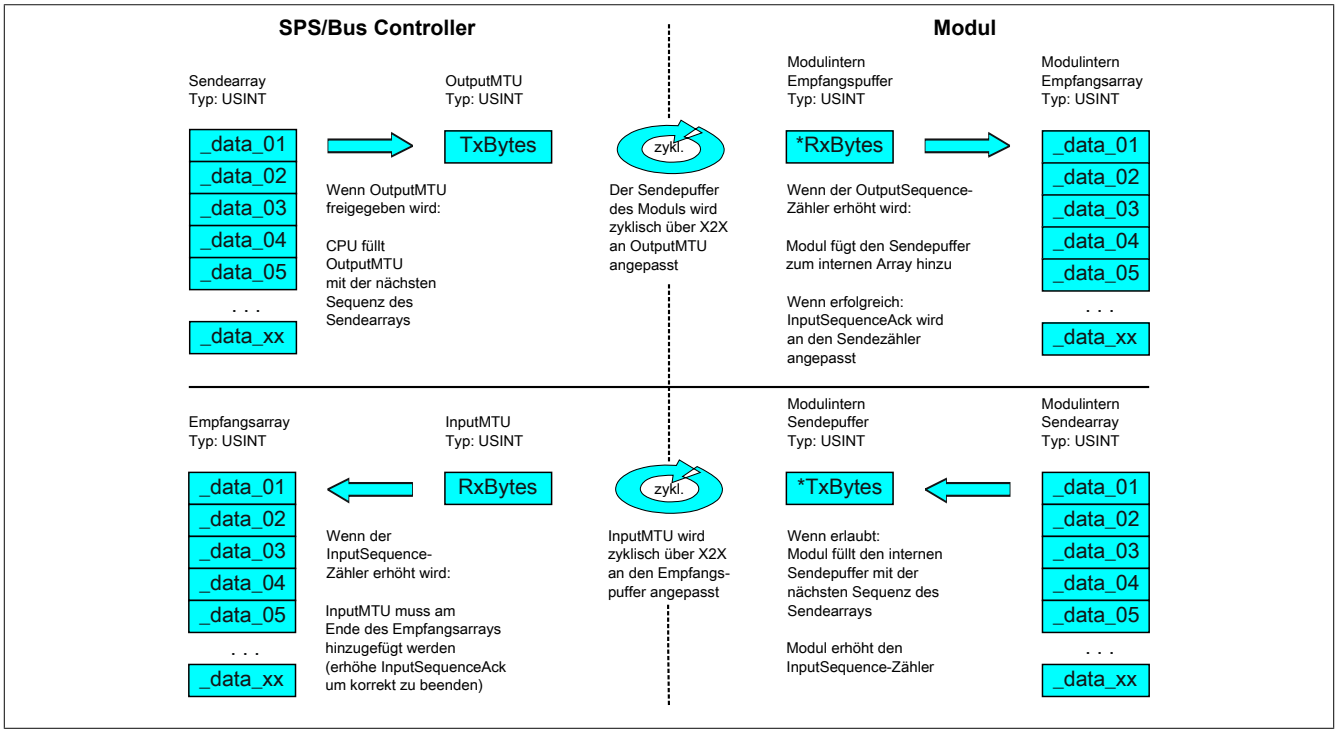


Abbildung 2: Kommunikation per Flatstream

Vorgehensweise

Als erstes wird die Nachricht in zulässige Segmente mit max. 63 Bytes aufgeteilt und die entsprechenden Controlbytes gebildet. Die Daten werden zu einem Datenstrom zusammengefügt, das heißt, je ein Controlbyte und das dazugehörige Segment im Wechsel. Dieser Datenstrom kann in das Sendearray geschrieben werden. Jedes Arrayelement ist dabei max. so groß, wie die freigegebene MTU, sodass ein Element einer Sequenz entspricht.
Wenn das Array vollständig angelegt ist, prüft der Sender, ob die MTU neu befüllt werden darf. Danach kopiert er das erste Element des Arrays bzw. die erste Sequenz auf die Tx-Byte-Register. Die MTU wird zyklisch über den X2X Link zur Empfängerstation transportiert und auf den korrespondierenden Rx-Byte-Registern abgelegt. Als Signal, dass die Daten vom Empfänger übernommen werden sollen, erhöht der Sender seinen SequenceCounter. Wenn die Kommunikationsrichtung synchronisiert ist, erkennt die Gegenstelle den inkrementierten Sequence-Counter. Die aktuelle Sequenz wird an das Empfangsarray angefügt und per SequenceAck bestätigt. Mit dieser Bestätigung wird dem Sender signalisiert, dass die MTU wieder neu befüllt werden kann.

Bei erfolgreicher Übertragung entsprechen die Daten im Empfangsarray exakt denen im Sendearray. Während der Übertragung muss die Empfangsstation die ankommenden Controlbytes erkennen und auswerten. Für jede Nachricht sollte ein separates Empfangsarray angelegt werden. Auf diese Weise kann der Empfänger vollständig übertragene Nachrichten sofort weiterverarbeiten.

4.11.4 Die Register für den Flatstream-Modus

Zur Konfiguration des Flatstreams sind 5 Register vorgesehen. Mit der Standardkonfiguration können geringe Datenmengen relativ einfach übermittelt werden.

Information:

Die CPU kommuniziert über die Register "OutputSequence" und "InputSequence" sowie den aktivierten Tx- bzw. RxBytes direkt mit dem Feldgerät. Deshalb benötigt der Anwender ausreichend Kenntnisse über das Kommunikationsprotokoll des Feldgerätes.

4.11.4.1 Konfiguration des Flatstreams

Um den Flatstream zu nutzen, muss der Programmablauf erweitert werden. Die Zykluszeit der Flatstream-Routinen muss auf ein Vielfaches des Buszyklus festgelegt werden. Die zusätzlichen Programmroutinen sollten in Cyclic #1 implementiert werden, um die Datenkonsistenz zu gewährleisten.

Bei der Minimalkonfiguration müssen die Register "InputMTU" und "OutputMTU" eingestellt werden. Alle anderen Register werden beim Start mit Standardwerten belegt und können sofort genutzt werden. Sie stellen zusätzliche Optionen bereit, um Daten kompakter zu übertragen bzw. den allgemeinen Ablauf hoch effizient zu gestalten.

Mit den Forward-Registern wird der Ablauf des Flatstream-Protokolls erweitert. Diese Funktion eignet sich, um die Datenrate des Flatstreams stark zu erhöhen, bedeutet aber erheblichen Mehraufwand bei der Erstellung des Programmablaufs.

4.11.4.1.1 Anzahl der aktivierten Tx- bzw. Rx-Bytes

Name:
OutputMTU
InputMTU

Diese Register definieren die Anzahl der aktivierten Tx- bzw. Rx-Bytes und somit auch die maximale Größe einer Sequenz. Der Anwender muss beachten, dass mehr freigegebene Bytes auch eine stärkere Belastung für das Bussystem bedeuten.

Information:

In der weiteren Beschreibung stehen die Bezeichnungen "OutputMTU" und "InputMTU" nicht für die hier erläuterten Register, sondern als Synonym für die momentan aktivierten Tx- bzw. Rx-Bytes.

Datentyp	Werte
USINT	Siehe modulspezifische Registerübersicht (theoretisch: 3 bis 27)

4.11.4.2 Bedienung des Flatstreams

Bei der Verwendung des Flatstreams ist die Kommunikationsrichtung von großer Bedeutung. Für das Senden von Daten an ein Modul (Output-Richtung) werden die Tx-Bytes genutzt. Für den Empfang von Daten eines Moduls (Input-Richtung) sind die Rx-Bytes vorgesehen.
Mit den Registern "OutputSequence" und "InputSequence" wird die Kommunikation gesteuert bzw. abgesichert, das heißt, der Sender gibt damit die Anweisung, Daten zu übernehmen und der Empfänger bestätigt eine erfolgreich übertragene Sequenz.

4.11.4.2.1 Format der Ein- und Ausgangsbytes

Name:

"Format des Flatstream" im Automation Studio

Bei einigen Modulen kann mit Hilfe dieser Funktion eingestellt werden, wie die Ein- und Ausgangsbytes des Flatstream (Tx- bzw. Rx-Bytes) übergeben werden.

- **gepackt:** Daten werden als ein Array übergeben
- **byteweise:** Daten werden als einzelne Bytes übergeben

4.11.4.2.2 Transport der Nutzdaten und der Controlbytes

Name:
TxByte1 bis TxByteN
RxByte1 bis RxByteN

(Die Größe der Zahl N ist je nach verwendetem Bus Controller Modell unerschiedlich.)

Die Tx- bzw. Rx-Bytes sind zyklische Register, die zum Transport der Nutzdaten und der notwendigen Controlbytes dienen. Die Anzahl aktiver Tx- bzw. Rx-Bytes ergibt sich aus der Konfiguration der Register "OutputMTU" bzw. "InputMTU".
Im Programmablauf des Anwenders können nur die Tx- bzw. Rx-Bytes der CPU genutzt werden. Innerhalb des Moduls gibt es die entsprechenden Gegenstücke, welche für den Anwender nicht zugänglich sind. Aus diesem Grund wurden die Bezeichnungen aus Sicht der CPU gewählt.

- "T" - "transmit" → CPU *sendet* Daten an das Modul
- "R" - "receive" → CPU *empfängt* Daten vom Modul

Datentyp	Werte
USINT	0 bis 255

4.11.4.2.3 Controlbytes

Neben den Nutzdaten übertragen die Tx- bzw. Rx-Bytes auch die sogenannten Controlbytes. Sie enthalten zusätzliche Informationen über den Datenstrom, damit der Empfänger die übertragenen Segmente wieder korrekt zur ursprünglichen Nachricht zusammensetzen kann.

Bitstruktur eines Controlbytes

Bit	Bezeichnung	Wert	Information
0 - 5	SegmentLength	0 - 63	Bytegröße des folgenden Segments (Standard: max. MTU-Größe - 1)
6	nextCBPos	0	Nächstes Controlbyte zu Beginn der nächsten MTU
		1	Nächstes Controlbyte direkt nach Ende des Segments
7	MessageEndBit	0	Nachricht wird nach dem folgenden Segment fortgesetzt
		1	Nachricht wird durch das folgende Segment beendet

SegmentLength

Die Segmentlänge kündigt dem Empfänger an, wie lang das kommende Segment ist. Wenn die eingestellte Segmentlänge für eine Nachricht nicht ausreicht, muss die Mitteilung auf mehrere Segmente verteilt werden. In diesen Fällen kann das tatsächliche Ende der Nachricht über Bit 7 (Controlbyte) erkannt werden.

Information:

Bei der Bestimmung der Segmentlänge wird das Controlbyte nicht mitgerechnet. Die Segmentlänge ergibt sich rein aus den Bytes der Nutzdaten.

nextCBPos

Mit diesem Bit wird angezeigt, an welcher Position das nächste Controlbyte zu erwarten ist. Diese Information ist vor allem bei Anwendung der Option "MultiSegmentMTU" wichtig.
Bei der Flatstream-Kommunikation mit MultiSegmentMTUs ist das nächste Controlbyte nicht mehr auf dem ersten Rx-Byte der darauffolgenden MTU zu erwarten, sondern wird direkt im Anschluss an das Segment übertragen.

MessageEndBit

Das "MessageEndBit" wird gesetzt, wenn das folgende Segment eine Nachricht abschließt. Die Mitteilung ist vollständig übertragen und kann weiterverarbeitet werden.

Information:

In Output-Richtung muss dieses Bit auch dann gesetzt werden, wenn ein einzelnes Segment ausreicht, um die vollständige Nachricht aufzunehmen. Das Modul verarbeitet eine Mitteilung intern nur, wenn diese Kennzeichnung vorgenommen wurde.
Die Größe einer übertragenen Mitteilung lässt sich berechnen, wenn alle Segmentlängen der Nachricht addiert werden.

Flatstream-Formel zur Berechnung der Nachrichtenlänge:

Nachricht [Byte] = Segmentlängen (aller CBs ohne ME) + Segmentlänge (des ersten CB mit ME)	CB	Controlbyte
	ME	MessageEndBit

4.11.4.2.4 Kommunikationsstatus der CPU

Name:
OutputSequence

Das Register "OutputSequence" enthält Informationen über den Kommunikationsstatus der CPU. Es wird von der CPU geschrieben und vom Modul gelesen.

Datentyp	Werte
USINT	Siehe Bitstruktur

Bitstruktur:

Bit	Bezeichnung	Wert	Information
0 - 2	OutputSequenceCounter	0 - 7	Zähler der in Output abgesetzten Sequenzen
3	OutputSyncBit	0	Output-Richtung deaktiviert (disable)
		1	Output-Richtung aktiviert (enable)
4 - 6	InputSequenceAck	0 - 7	Spiegel des InputSequenceCounters
7	InputSyncAck	0	Input-Richtung nicht bereit (disable)
		1	Input-Richtung bereit (enable)

OutputSequenceCounter

Der OutputSequenceCounter ist ein umlaufender Zähler der Sequenzen, die von der CPU abgeschickt wurden. Über den OutputSequenceCounter weist die CPU das Modul an, eine Sequenz zu übernehmen (zu diesem Zeitpunkt muss die Output-Richtung synchronisiert sein).

OutputSyncBit

Mit dem OutputSyncBit versucht die CPU den Output-Kanal zu synchronisieren.

InputSequenceAck

Der InputSequenceAck dient zur Bestätigung. Der Wert des InputSequenceCounters wird darin gespiegelt, wenn die CPU eine Sequenz erfolgreich empfangen hat.

InputSyncAck

Das Bit InputSyncAck bestätigt dem Modul die Synchronität des Input-Kanals. Die CPU zeigt damit an, dass sie bereit ist, Daten zu empfangen.

4.11.4.2.5 Kommunikationsstatus des Moduls

Name:
InputSequence

Das Register "InputSequence" enthält Informationen über den Kommunikationsstatus des Moduls. Es wird vom Modul geschrieben und sollte von der CPU nur gelesen werden.

Datentyp	Werte
USINT	Siehe Bitstruktur

Bitstruktur:

Bit	Bezeichnung	Wert	Information
0 - 2	InputSequenceCounter	0 - 7	Zähler der in Input abgesetzten Sequenzen
3	InputSyncBit	0	Nicht bereit (disable)
		1	Bereit (enable)
4 - 6	OutputSequenceAck	0 - 7	Spiegel des OutputSequenceCounters
7	OutputSyncAck	0	Nicht bereit (disable)
		1	Bereit (enable)

InputSequenceCounter

Der InputSequenceCounter ist ein umlaufender Zähler der Sequenzen, die vom Modul abgeschickt wurden. Über den InputSequenceCounter weist das Modul die CPU an, eine Sequenz zu übernehmen (zu diesem Zeitpunkt muss die Input-Richtung synchronisiert sein).

InputSyncBit

Mit dem InputSyncBit versucht das Modul den Input-Kanal zu synchronisieren.

OutputSequenceAck

Der OutputSequenceAck dient zur Bestätigung. Der Wert des OutputSequenceCounters wird darin gespiegelt, wenn das Modul eine Sequenz erfolgreich empfangen hat.

OutputSyncAck

Das Bit OutputSyncAck bestätigt der CPU die Synchronität des Output-Kanals. Das Modul zeigt damit an, dass es bereit ist, Daten zu empfangen.

4.11.4.2.6 Beziehung zwischen Output- und InputSequence

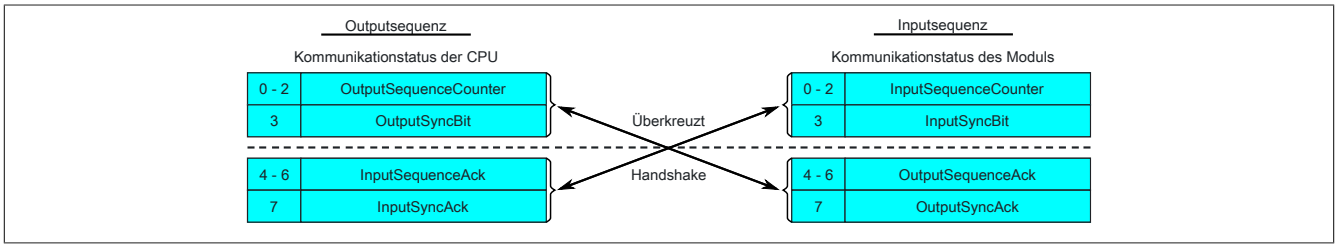


Abbildung 3: Zusammenhang zwischen Output- und InputSequence

Die Register "OutputSequence" und "InputSequence" sind logisch aus 2 Halb-Bytes aufgebaut. Über den Low-Teil wird der Gegenstelle signalisiert, ob ein Kanal geöffnet werden soll bzw. ob Daten übernommen werden können. Der High-Teil dient zur Bestätigung, wenn die geforderte Aktion erfolgreich ausgeführt wurde.

SyncBit und SyncAck

Wenn das SyncBit und das SyncAck einer Kommunikationsrichtung gesetzt sind, gilt der Kanal als "synchronisiert", das heißt, es können Nachrichten in diese Richtung versendet werden. Das Statusbit der Gegenstelle muss zyklisch überprüft werden. Falls das SyncAck zurückgesetzt wurde, muss das eigene SyncBit angepasst werden. Bevor neue Daten übertragen werden können, muss der Kanal resynchronisiert werden.

SequenceCounter und SequenceAck

Die Kommunikationspartner prüfen zyklisch, ob sich das Low-Nibble der Gegenstelle ändert. Wenn ein Kommunikationspartner eine neue Sequenz vollständig auf die MTU geschrieben hat, erhöht er seinen SequenceCounter. Daraufhin übernimmt der Empfänger die aktuelle Sequenz und bestätigt den erfolgreichen Empfang per SequenceAck. Auf diese Weise wird ein Handshake-Verfahren initiiert.

Information:

Bei einer Unterbrechung der Kommunikation werden Segmente von unvollständig übermittelten Mitteilungen verworfen. Alle fertig übertragenen Nachrichten werden bearbeitet.

4.11.4.3 Synchronisieren

Beim Synchronisieren wird ein Kommunikationskanal geöffnet. Es muss sichergestellt sein, dass ein Modul vorhanden und der aktuelle Wert des SequenceCounters beim Empfänger der Nachricht hinterlegt ist.
Der Flatstream bietet die Möglichkeit Vollduplex zu kommunizieren. Beide Kanäle/Kommunikationsrichtungen können separat betrachtet werden. Sie müssen unabhängig voneinander synchronisiert werden, sodass theoretisch auch simplex kommuniziert werden könnte.

Synchronisation der Output-Richtung (CPU als Sender)

Die korrespondierenden Synchronisationsbits (OutputSyncBit und OutputSyncAck) sind zurückgesetzt. Aus diesem Grund können momentan keine Nachrichten von der CPU an das Modul per Flatstream übertragen werden.

Algorithmus

1) CPU muss 000 in OutputSequenceCounter schreiben und OutputSyncBit zurücksetzen. CPU muss High-Nibble des Registers "InputSequence" zyklisch abfragen (Prüfung ob 000 in OutputSequenceAck und 0 in OutputSyncAck).
Modul übernimmt den aktuellen Inhalt der InputMTU nicht, weil der Kanal noch nicht synchronisiert ist. *Modul gleicht OutputSequenceAck und OutputSyncAck an die Werte des OutputSequenceCounters bzw. des OutputSyncBits an.*
2) Wenn die CPU die erwarteten Werte in OutputSequenceAck und OutputSyncAck registriert, darf sie den OutputSequenceCounter inkrementieren. Die CPU fragt das High-Nibble des Registers "OutputSequence" weiter zyklisch ab (Prüfung ob 001 in OutputSequenceAck und 0 in InputSyncAck).
Modul übernimmt den aktuellen Inhalt der InputMTU nicht, weil der Kanal noch nicht synchronisiert ist. *Modul gleicht OutputSequenceAck und OutputSyncAck an die Werte des OutputSequenceCounters bzw. des OutputSyncBits an.*
3) Wenn die CPU die erwarteten Werte in OutputSequenceAck und OutputSyncAck registriert, darf sie das OutputSyncBit setzen. Die CPU fragt das High-Nibble des Registers "OutputSequence" weiter zyklisch ab (Prüfung ob 001 in OutputSequenceAck und 1 in InputSyncAck). **Hinweis:** Theoretisch könnten ab diesem Moment Daten übertragen werden. Es wird allerdings empfohlen, erst dann Daten zu übertragen, wenn die Output-Richtung vollständig synchronisiert ist.
Modul setzt OutputSyncAck.
Output-Richtung synchronisiert, CPU kann Daten an Modul senden.

Synchronisation der Input-Richtung (CPU als Empfänger)

Die korrespondierenden Synchronisationsbits (InputSyncBit und InputSyncAck) sind zurückgesetzt. Aus diesem Grund können momentan keine Nachrichten vom Modul an die CPU per Flatstream übertragen werden.

Algorithmus

Modul schreibt 000 in InputSequenceCounter und setzt InputSyncBit zurück. *Modul überwacht High-Nibble des Registers "OutputSequence" - erwartet 000 in InputSequenceAck bzw. 0 in InputSyncAck.*
1) CPU darf den aktuellen Inhalt der InputMTU nicht übernehmen, weil der Kanal noch nicht synchronisiert ist. CPU muss InputSequenceAck und InputSyncAck an die Werte des InputSequenceCounters bzw. des InputSyncBits angleichen.
Wenn das Modul die erwarteten Werte in InputSequenceAck und in InputSyncAck registriert, inkrementiert es den InputSequenceCounter. *Modul überwacht High-Nibble des Registers "OutputSequence" - erwartet 001 in InputSequenceAck bzw. 0 in InputSyncAck.*
2) CPU darf den aktuellen Inhalt der InputMTU nicht übernehmen, weil der Kanal noch nicht synchronisiert ist. CPU muss InputSequenceAck und InputSyncAck an die Werte des InputSequenceCounters bzw. des InputSyncBits angleichen.
Wenn das Modul die erwarteten Werte in InputSequenceAck und in InputSyncAck registriert, setzt es das InputSyncBit. *Modul überwacht High-Nibble des Registers "OutputSequence" - erwartet 1 in InputSyncAck.*
3) CPU darf InputSyncAck setzen. **Hinweis:** Theoretisch könnten bereits in diesem Zyklus Daten übertragen werden. Es gilt: Wenn das InputSyncBit gesetzt ist und der InputSequenceCounter um 1 erhöht wurde, müssen die Informationen der aktivierten Rx-Bytes übernommen und bestätigt werden (siehe dazu auch Kommunikation in Input-Richtung).
Input-Richtung synchronisiert, Modul kann Daten an CPU senden.

4.11.4.4 Senden und Empfangen

Wenn ein Kanal synchronisiert ist, gilt die Gegenstelle als empfangsbereit und der Sender kann Nachrichten verschicken. Bevor der Sender Daten absetzen kann, legt er das sogenannte Sendearray an, um den Anforderungen des Flatstreams gerecht zu werden.

Die sendende Station muss für jedes erstellte Segment ein individuelles Controlbyte generieren. Ein solches Controlbyte enthält Informationen, wie der nächste Teil der übertragenen Daten zu verarbeiten ist. Die Position des nächsten Controlbytes im Datenstrom kann variieren. Aus diesem Grund muss zu jedem Zeitpunkt eindeutig definiert sein, wann ein neues Controlbyte übermittelt wird. Das erste Controlbyte befindet sich immer auf dem ersten Byte der ersten Sequenz. Alle weiteren Positionen werden rekursiv mitgeteilt.

Flatstream-Formel zur Berechnung der Position des nächsten Controlbytes:

Position (nächstes Controlbyte) = aktuelle Position + 1 + Segmentlänge

Beispiel

Es werden 3 unabhängige Nachrichten (7 Bytes, 2 Bytes, 9 Bytes) über eine 7-Byte breite MTU übermittelt. Die sonstige Konfiguration entspricht den Standardeinstellungen.

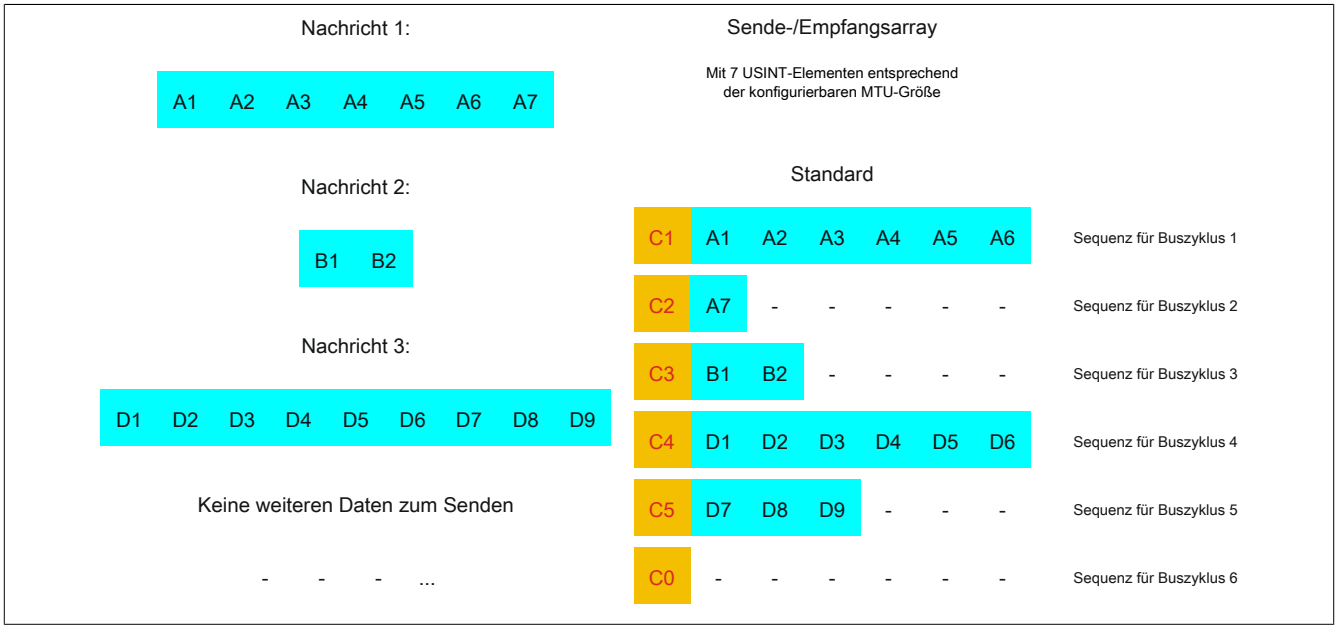


Abbildung 4: Sende-/Empfangsarray (Standard)

Zunächst müssen die Nachrichten in Segmente geteilt werden. Bei der Standardkonfiguration muss sichergestellt sein, dass jede Sequenz ein gesamtes Segment inklusive dem dazugehörigen Controlbyte aufnehmen kann. Die Sequenz ist auf die Größe der aktivierten MTU begrenzt, das heißt, ein Segment muss mindestens um 1 Byte kleiner sein als die aktivierte MTU.

MTU = 7 Bytes → max. Segmentlänge 6 Bytes

- Nachricht 1 (7 Bytes)
  - ⇨ erstes Segment = Controlbyte + 6 Datenbytes
  - ⇨ zweites Segment = Controlbyte + 1 Datenbyte
- Nachricht 2 (2 Bytes)
  - ⇨ erstes Segment = Controlbyte + 2 Datenbytes
- Nachricht 3 (9 Bytes)
  - ⇨ erstes Segment = Controlbyte + 6 Datenbytes
  - ⇨ zweites Segment = Controlbyte + 3 Datenbytes
- Keine weiteren Nachrichten
  - ⇨ C0-Controlbyte

Für jedes gebildete Segment muss ein spezifisches Controlbyte generiert werden. Außerdem wird das Controlbyte C0 generiert, um die Kommunikation auf Standby halten zu können.

C0 (Controlbyte0)			**C1 (Controlbyte1)**			**C2 (Controlbyte2)**		
- SegmentLength (0)	=	0	- SegmentLength (6)	=	6	- SegmentLength (1)	=	1
- nextCBPos (0)	=	0	- nextCBPos (0)	=	0	- nextCBPos (0)	=	0
- MessageEndBit (0)	=	0	- MessageEndBit (0)	=	0	- MessageEndBit (1)	=	128
Controlbyte	Σ	0	Controlbyte	Σ	6	Controlbyte	Σ	129

Tabelle 3: Flatstream-Ermittlung der Controlbytes für Beispiel mit Standardkonfiguration (Teil 1)

C3 (Controlbyte3)			**C4 (Controlbyte4)**			**C5 (Controlbyte5)**		
- SegmentLength (2)	=	2	- SegmentLength (6)	=	6	- SegmentLength (3)	=	3
- nextCBPos (0)	=	0	- nextCBPos (0)	=	0	- nextCBPos (0)	=	0
- MessageEndBit (1)	=	128	- MessageEndBit (0)	=	0	- MessageEndBit (1)	=	128
Controlbyte	Σ	130	Controlbyte	Σ	6	Controlbyte	Σ	131

Tabelle 4: Flatstream-Ermittlung der Controlbytes für Beispiel mit Standardkonfiguration (Teil 2)

4.11.4.5 Senden von Daten an ein Modul (Output)

Beim Senden muss das Sendearray im Programmablauf generiert werden. Danach wird es Sequenz für Sequenz über den Flatstream übertragen und vom Modul empfangen.

Information:

Obwohl alle B&R Module mit Flatstream-Kommunikation stets die kompakteste Übertragung in Output-Richtung unterstützen wird empfohlen die Übertragungsarrays für beide Kommunikationsrichtungen gleichermaßen zu gestalten.

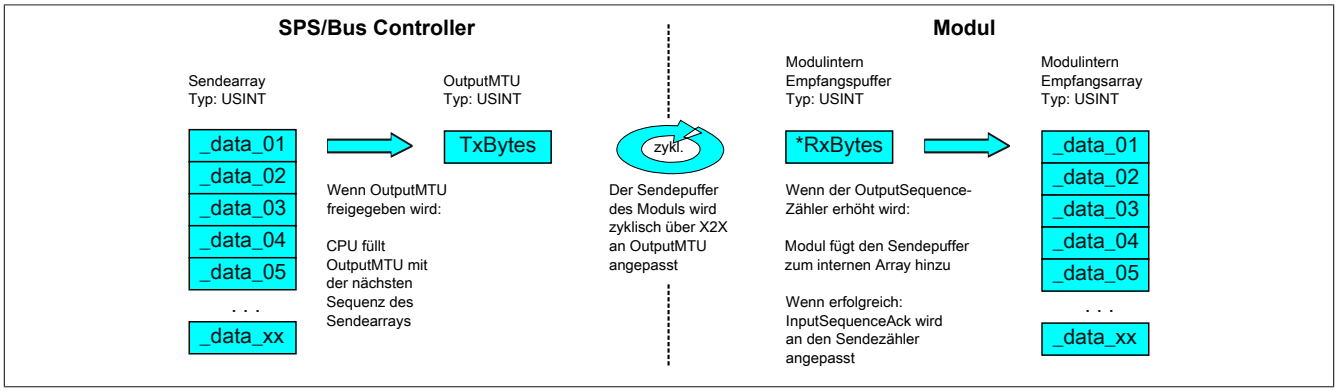


Abbildung 5: Kommunikation per Flatstream (Output)

Nachricht kleiner als OutputMTU

Die Länge der Nachricht sei zunächst kleiner als die OutputMTU. In diesem Fall würde eine Sequenz ausreichen, um die gesamte Nachricht und ein benötigtes Controlbyte zu übertragen.

Algorithmus

Zyklische Statusabfrage: *- Modul überwacht OutputSequenceCounter*
0) Zyklische Prüfungen: - CPU muss OutputSyncAck prüfen → falls OutputSyncAck = 0; OutputSyncBit zurücksetzen und Kanal resynchronisieren - CPU muss Freigabe der OutputMTU prüfen → falls OutputSequenceCounter > InputSequenceAck; MTU nicht freigegeben, weil letzte Sequenz noch nicht bestätigt
1) Vorbereitung (Sendearray anlegen): - CPU muss Nachricht auf zulässige Segmente aufteilen und entsprechende Controlbytes bilden - CPU muss Segmente und Controlbytes zu Sendearray zusammenfügen
2) Senden: - CPU überträgt das aktuelle Element des Sendearrays in die OutputMTU → OutputMTU wird zyklisch in den Sendepuffer des Moduls übertragen, aber noch nicht weiterverarbeitet - CPU muss OutputSequenceCounter erhöhen
Reaktion: *- Modul übernimmt die Bytes des internen Empfangspuffers und fügt sie an das interne Empfangsarray an* *- Modul sendet Bestätigung; schreibt Wert des OutputSequenceCounters auf OutputSequenceAck*
3) Abschluss: - CPU muss OutputSequenceAck überwachen → Eine Sequenz gilt erst dann als erfolgreich übertragen, wenn sie über das OutputSequenceAck bestätigt wurde. Um Übertragungsfehler auch bei der letzten Sequenz zu erkennen, muss sichergestellt werden, dass der *Abschluss* lange genug durchlaufen wird. **Hinweis:** Für eine exakte Überwachung der Kommunikationszeiten sollten die Taskzyklen gezählt werden, die seit der letzten Erhöhung des OutputSequenceCounters vergangen sind. Auf diese Weise kann die Anzahl der Buszyklen abgeschätzt werden, die bislang zur Übertragung benötigt wurden. Übersteigt der Überwachungszähler eine vorgegebene Schwelle, kann die Sequenz als verloren betrachtet werden. (Das Verhältnis von Bus- und Taskzyklus kann vom Anwender beeinflusst werden, sodass der Schwellwert individuell zu ermitteln ist.) - Weitere Sequenzen dürfen erst nach erfolgreicher Abschlussprüfung im nächsten Buszyklus versendet werden.

Nachricht größer als OutputMTU

Das Sendearray, welches im Programmablauf erstellt werden muss, besteht aus mehreren Elementen. Der Anwender muss die Control- und Datenbytes korrekt anordnen und die Arrayelemente nacheinander übertragen. Der Übertragungsalgorithmus bleibt gleich und wird ab dem Punkt *zyklische Prüfungen* wiederholt durchlaufen.

Allgemeines Ablaufdiagramm

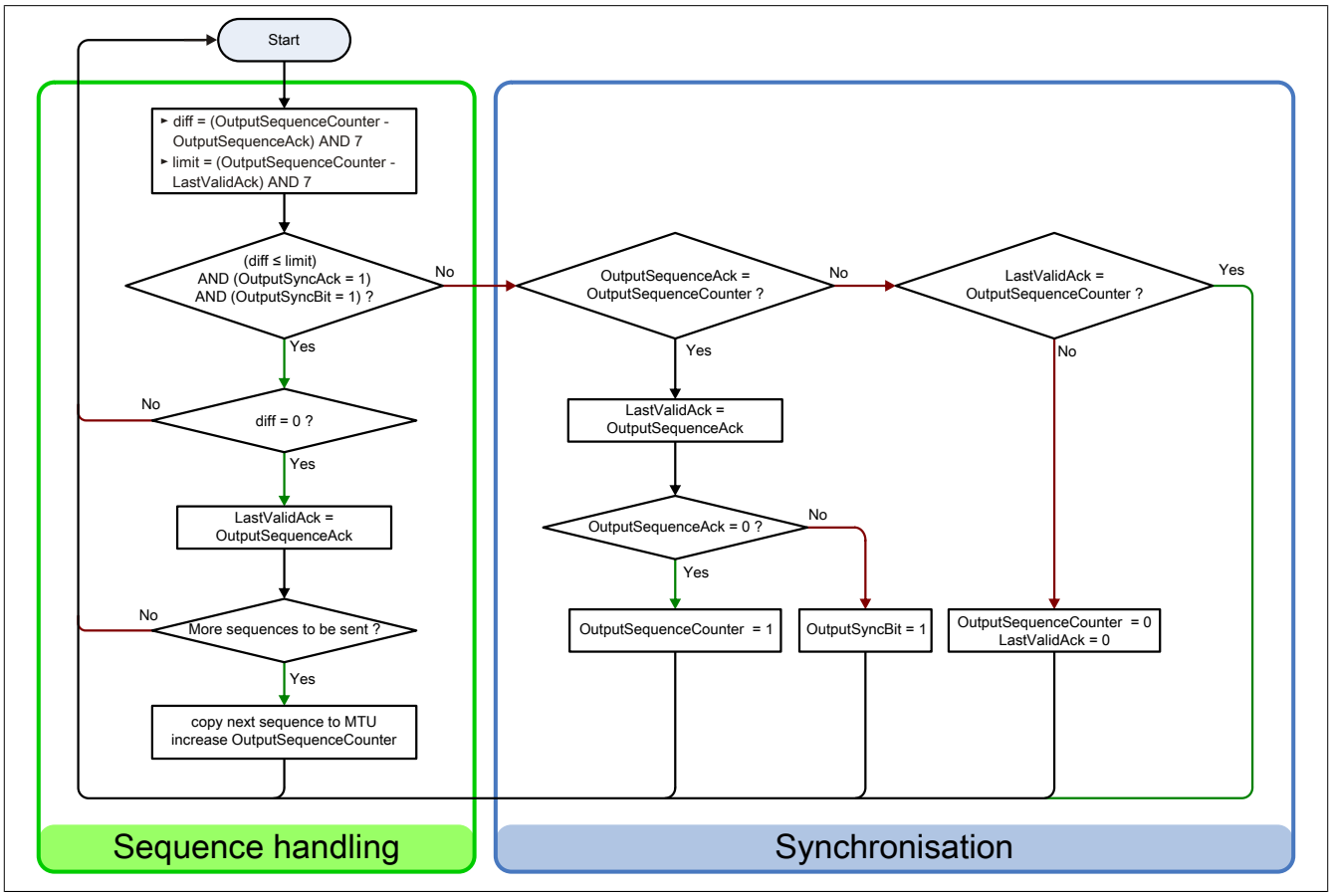


Abbildung 6: Ablaufdiagramm für Output-Richtung

4.11.4.6 Empfangen von Daten aus einem Modul (Input)

Beim Empfangen von Daten wird das Sendearray vom Modul generiert, über den Flatstream übertragen und muss auf dem Empfangsarray abgebildet werden. Die Struktur des ankommenden Datenstroms kann über das Modusregister eingestellt werden. Der Algorithmus zum Empfangen bleibt dabei aber unverändert.

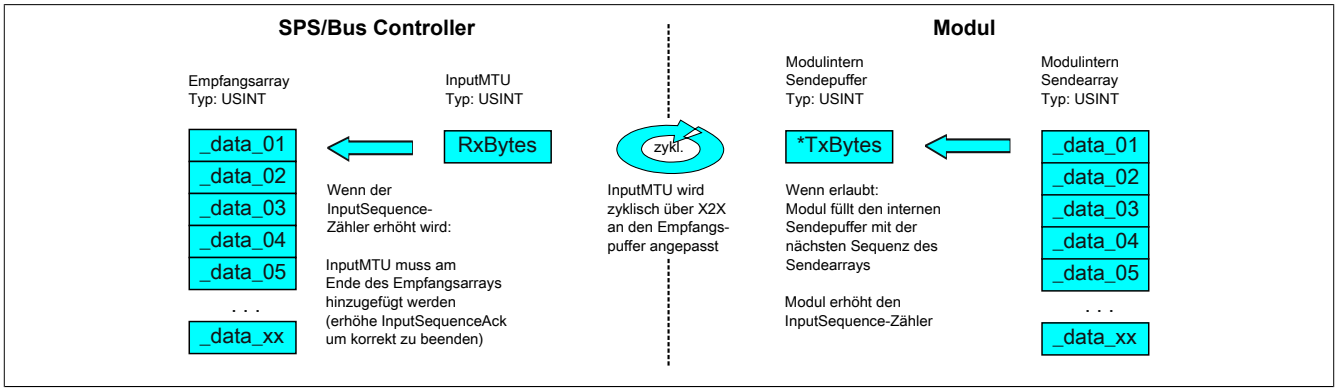


Abbildung 7: Kommunikation per Flatstream (Input)

Algorithmus

0) Zyklische Statusabfrage: - CPU muss InputSequenceCounter überwachen
Zyklische Prüfungen: *- Modul prüft InputSyncAck* *- Modul prüft InputSequenceAck*
Vorbereitung: *- Modul bildet Segmente bzw. Controlbytes und legt Sendearray an*
Aktion: *- Modul überträgt das aktuelle Element des internen Sendearrays in den internen Sendepuffer* *- Modul erhöht InputSequenceCounter*
1) Empfangen (sobald InputSequenceCounter erhöht): - CPU muss Daten aus InputMTU übernehmen und an das Ende des Empfangsarrays anfügen - CPU muss InputSequenceAck an InputSequenceCounter der aktuell verarbeiteten Sequenz angleichen
Abschluss: *- Modul überwacht InputSequenceAck* *→ Eine Sequenz gilt erst dann als erfolgreich übertragen, wenn sie über das InputSequenceAck bestätigt wurde.* *- Weitere Sequenzen werden erst nach erfolgreicher Abschlussprüfung im nächsten Buszyklus versendet.*

Allgemeines Ablaufdiagramm

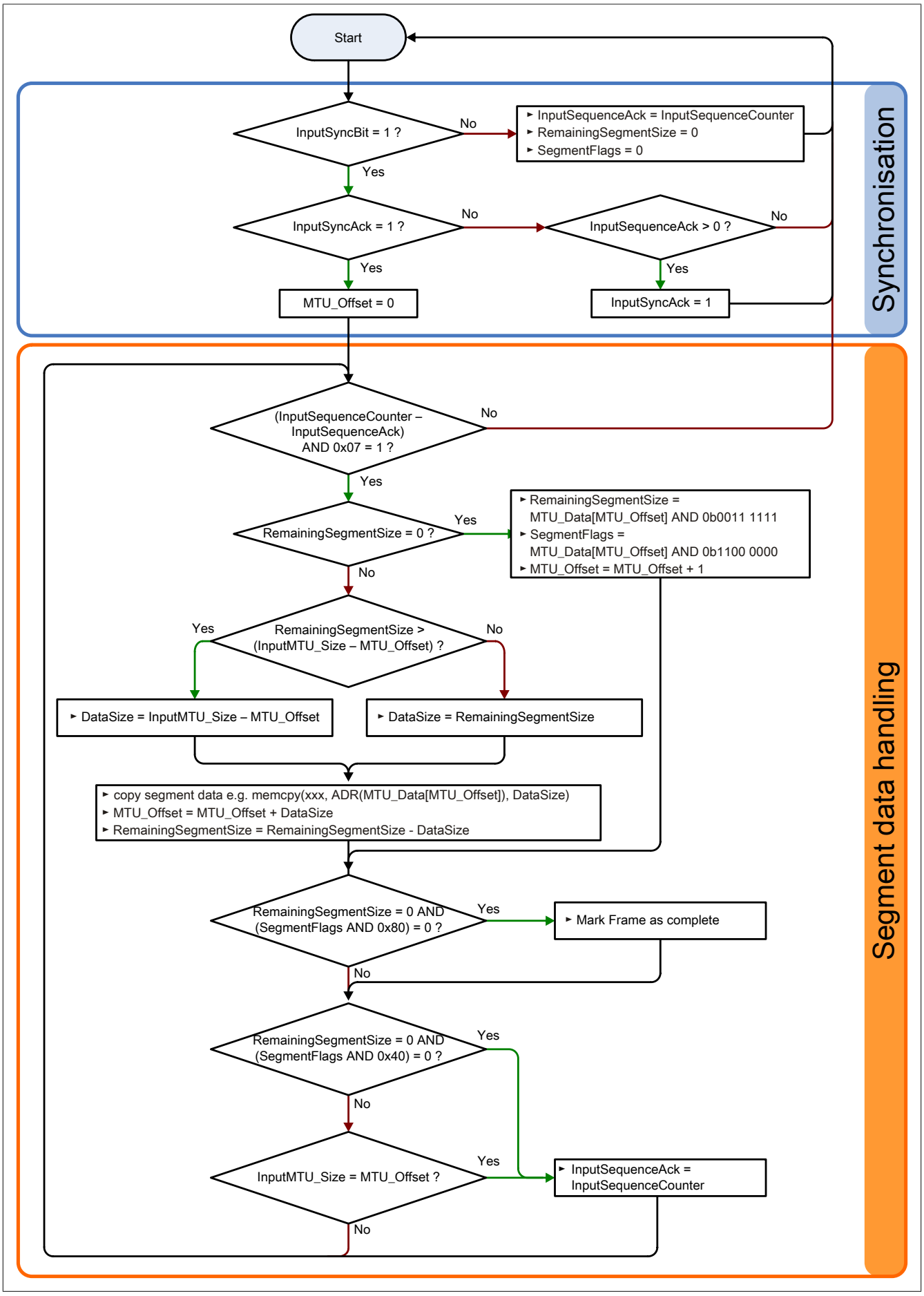


Abbildung 8: Ablaufdiagramm für Input-Richtung

4.11.4.7 Details

Es wird empfohlen die übertragenen Nachrichten in separate Empfangsarrays abzulegen

Nach der Übermittlung eines gesetzten MessageEndBits sollte das Folgesegment zum Empfangsarray hinzugefügt werden. Danach ist die Mitteilung vollständig und kann intern weiterverarbeitet werden. Für die nächste Nachricht sollte ein neues/separates Array angelegt werden.

Information:

Bei der Übertragung mit MultiSegmentMTUs können sich mehrere kurze Nachrichten in einer Sequenz befinden. Im Programmablauf muss sichergestellt sein, dass genügend Empfangsarrays verwaltet werden können. Das Acknowledge-Register darf erst nach Übernahme der gesamten Sequenz angepasst werden.

Wenn ein SequenceCounter um mehr als einen Zähler inkrementiert wird, liegt ein Fehler vor

Anmerkung: Beim Betrieb ohne Forward ist diese Situation sehr unwahrscheinlich.

In diesem Fall stoppt der Empfänger. Alle weiteren eintreffenden Sequenzen werden ignoriert, bis die Sendung mit dem korrekten SequenceCounter wiederholt wird. Durch diese Reaktion erhält der Sender keine Bestätigungen mehr für die abgesetzten Sequenzen. Über den SequenceAck der Gegenstelle kann der Sender die letzte erfolgreich übertragene Sequenz identifizieren und die Übertragung ab dieser Stelle fortsetzen.

Bestätigungen müssen auf Gültigkeit geprüft werden

Wenn der Empfänger eine Sequenz erfolgreich übernommen hat, muss sie bestätigt werden. Dazu übernimmt der Empfänger den mitgesendeten Wert des SequenceCounters und gleicht den SequenceAck daran an. Der Absender liest das SequenceAck und registriert die erfolgreiche Übermittlung. Falls dem Absender eine Sequenz bestätigt wird, die noch nicht abgesendet wurde, muss die Übertragung unterbrochen und der Kanal resynchronisiert werden. Die Synchronisationsbits werden zurückgesetzt und die aktuelle/unvollständige Nachricht wird verworfen. Sie muss nach der Resynchronisierung des Kanals erneut versendet werden.

4.11.4.8 Flatstream Modus

Name:
FlatstreamMode

In Input-Richtung wird das Sende-Array automatisch generiert. Dem Anwender werden über dieses Register 2 Optionen zur Verfügung gestellt, um eine kompaktere Anordnung beim eintreffenden Datenstrom zu erlauben. Nach der Aktivierung muss der Programmablauf zur Auswertung entsprechend angepasst werden.

Information:

Alle B&R Module, die den Flatstream-Modus anbieten, unterstützen in Output-Richtung die Optionen "große Segmente" und "MultiSegmentMTU". Nur für die Input-Richtung muss die kompakte Übertragung explizit erlaubt werden.

Bitstruktur:

Bit	Bezeichnung	Wert	Information
0	MultiSegmentMTU	0	Nicht erlaubt (Standard)
		1	Erlaubt
1	Große Segmente	0	Nicht erlaubt (Standard)
		1	Erlaubt
2 - 7	Reserviert		

Standard

Per Standard sind beide Optionen zur kompakten Übertragung in Input-Richtung deaktiviert.

1. Vom Modul werden nur Segmente gebildet, die mindestens ein Byte kleiner sind als die aktivierte MTU. Jede Sequenz beginnt mit einem Controlbyte, sodass der Datenstrom klar strukturiert ist und relativ einfach ausgewertet werden kann.
2. Weil die Länge einer Flatstream-Nachricht beliebig lang sein darf, füllt das letzte Segment der Mitteilung häufig nicht den gesamten Platz der MTU aus. Per Standard werden während eines solchen Übertragungszyklus die restlichen Bytes nicht verwendet.

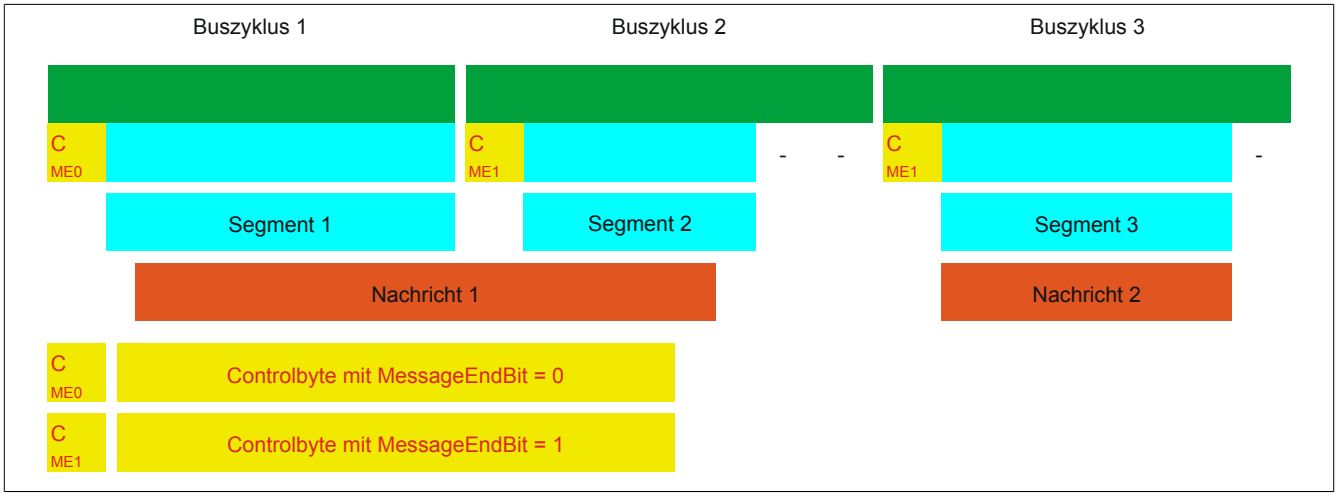


Abbildung 9: Anordnung von Nachrichten in der MTU (Standard)

MultiSegmentMTU erlaubt

Bei dieser Option wird die InputMTU vollständig befüllt (wenn genügend Daten anstehen). Die zuvor frei gebliebenen Rx-Bytes übertragen die nächsten Controlbytes bzw. deren Segmente. Auf diese Weise können die aktivierten Rx-Bytes effizienter genutzt werden.

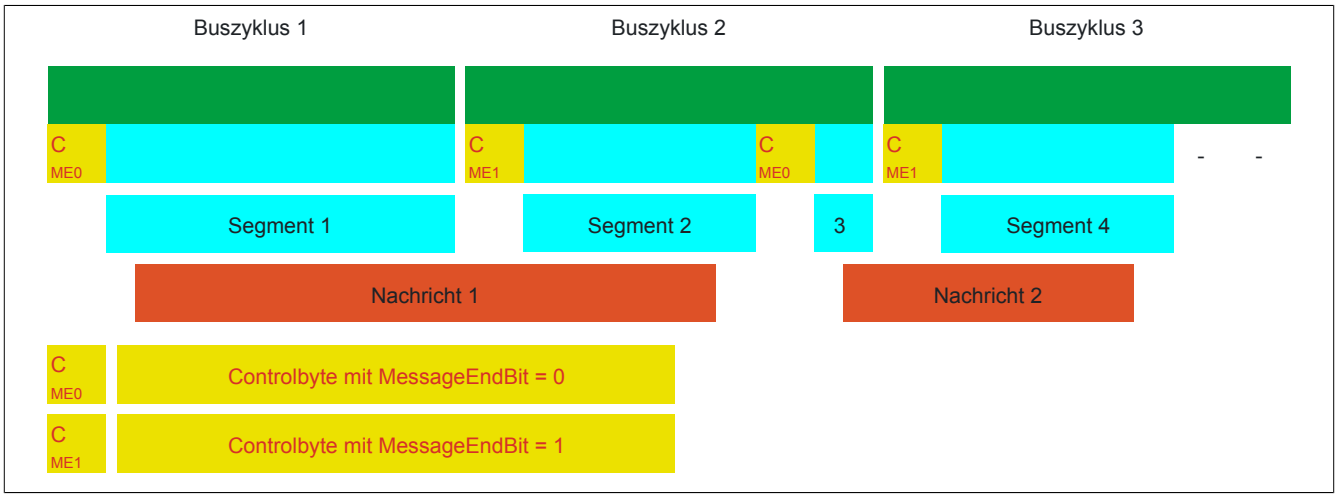


Abbildung 10: Anordnung von Nachrichten in der MTU (MultiSegmentMTU)

Große Segmente erlaubt

Bei der Übertragung sehr langer Mitteilungen bzw. bei der Aktivierung von nur wenigen Rx-Bytes müssen per Standard sehr viele Segmente gebildet werden. Das Bussystem wird stärker belastet als nötig, weil für jedes Segment ein zusätzliches Controlbyte erstellt und übertragen wird. Mit der Option "große Segmente" wird die Segmentlänge unabhängig von der InputMTU auf 63 Bytes begrenzt. Ein Segment darf sich über mehrere Sequenzen erstrecken, das heißt, es können auch reine Sequenzen ohne Controlbyte auftreten.

Information:

Die Möglichkeit eine Nachricht auf mehrere Segmente aufzuteilen bleibt erhalten, das heißt, wird diese Option genutzt und treten Nachrichten mit mehr als 63 Bytes auf, kann die Mitteilung weiterhin auf mehrere Segmente verteilt werden.

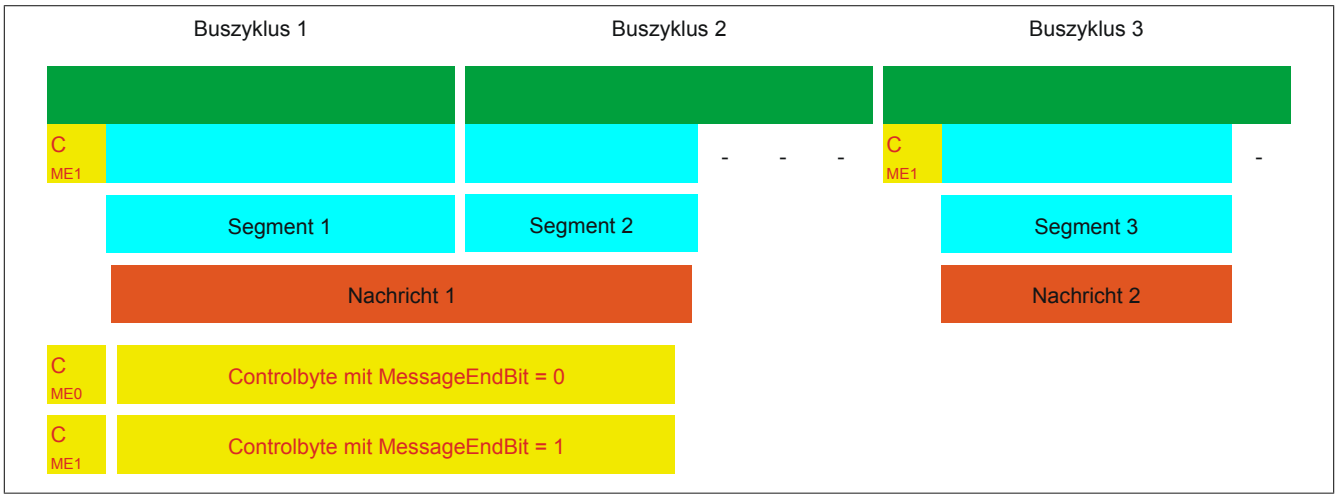


Abbildung 11: Anordnung von Nachrichten in der MTU (große Segmente)

Anwendung beider Optionen

Die beiden Optionen dürfen auch gleichzeitig angewendet werden.

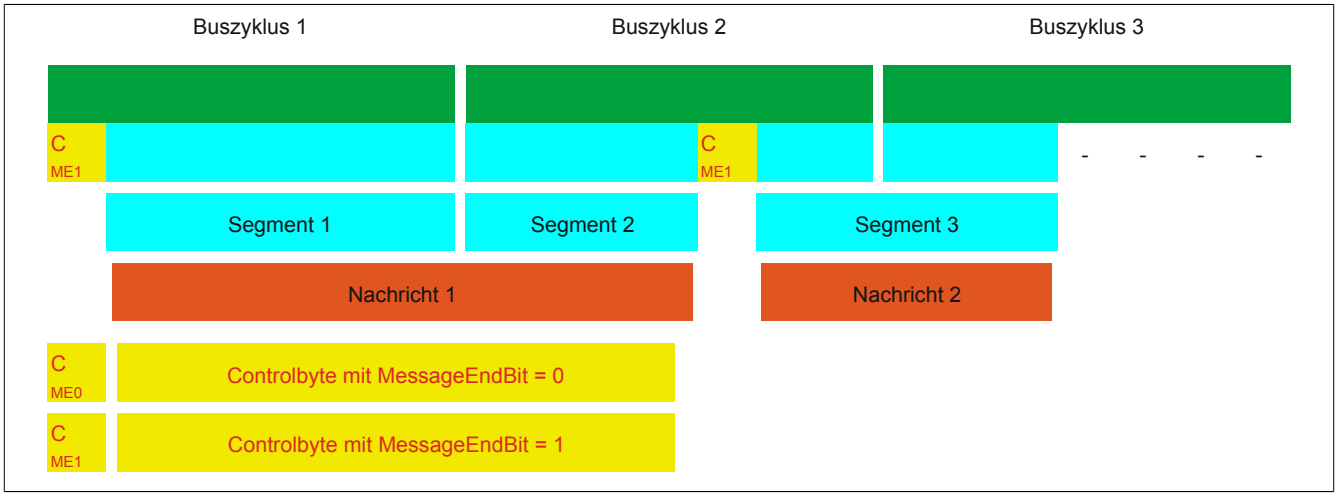


Abbildung 12: Anordnung von Nachrichten in der MTU (große Segmente und MultiSegmentMTU)

4.11.4.9 Anpassung des Flatstreams

Wenn die Strukturierung der Nachrichten verändert wurde, verändert sich auch die Anordnung der Daten im Sende-/Empfangsarray. Für das eingangs genannte Beispiel ergeben sich die folgenden Änderungen.

MultiSegmentMTU

Wenn MultiSegmentMTUs erlaubt sind, können "freie Stellen" in einer MTU genutzt werden. Diese "freien Stellen“ entstehen, wenn das letzte Segment einer Nachricht nicht die gesamte MTU ausnutzt. MultiSegmentMTUs ermöglichen die Verwendung dieser Bits, um die folgenden Controlbytes bzw. Segmente zu übertragen. Im Programmablauf wird das "nextCBPos"-Bit innerhalb des Controlbytes gesetzt, damit der Empfänger das nächste Controlbyte korrekt identifizieren kann.

Beispiel

Es werden 3 unabhängige Nachrichten (7 Bytes, 2 Bytes, 9 Bytes) über eine 7-Byte breite MTU übermittelt. Die Konfiguration erlaubt die Übertragung von MultiSegmentMTUs.

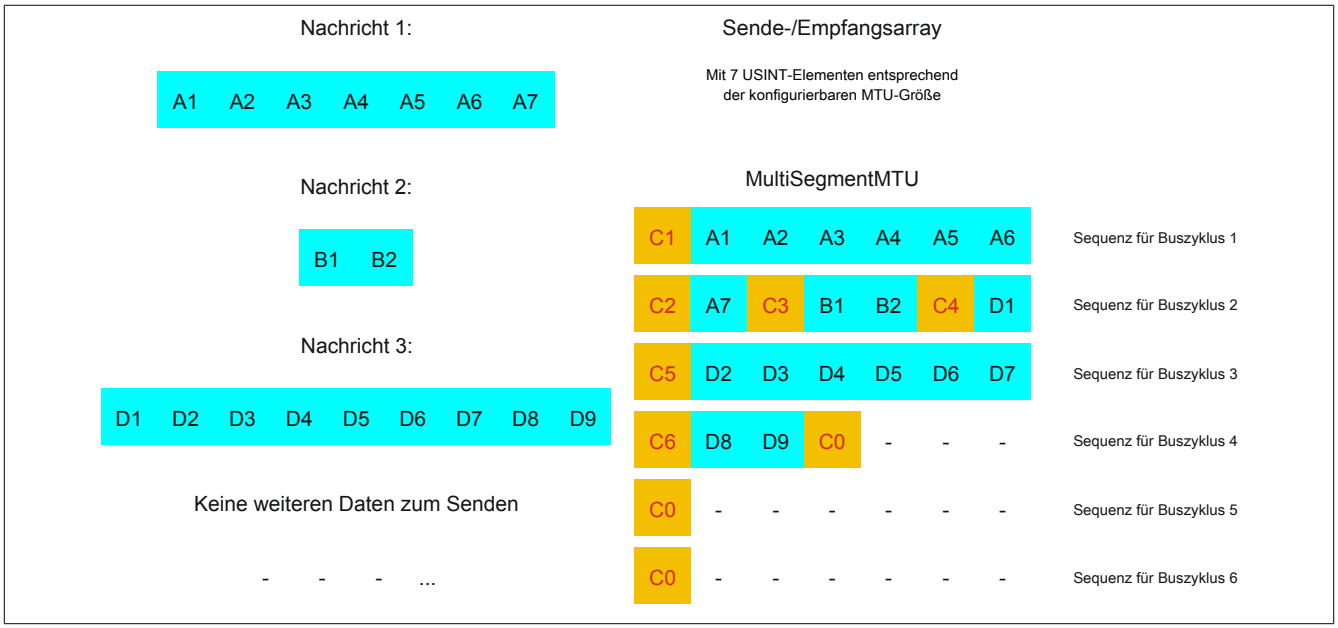


Abbildung 13: Sende-/Empfangsarray (MultiSegmentMTU)

Zunächst müssen die Nachrichten in Segmente geteilt werden. Wie in der Standardkonfiguration muss sichergestellt sein, dass jede Sequenz mit einem Controlbyte beginnt. Die freien Bits in der MTU am Ende einer Nachricht, werden allerdings mit Daten der Folgenachricht aufgefüllt. Bei dieser Option wird das Bit "nextCBPos" immer gesetzt, wenn im Anschluss an das Controlbyte Nutzdaten übertragen werden.

MTU = 7 Bytes → max. Segmentlänge 6 Bytes

- Nachricht 1 (7 Bytes)
  - ⇨ erstes Segment = Controlbyte + 6 Datenbytes (MTU voll)
  - ⇨ zweites Segment = Controlbyte + 1 Datenbyte (MTU noch 5 leere Bytes)
- Nachricht 2 (2 Bytes)
  - ⇨ erstes Segment = Controlbyte + 2 Datenbytes (MTU noch 2 leere Bytes)
- Nachricht 3 (9 Bytes)
  - ⇨ erstes Segment = Controlbyte + 1 Datenbyte (MTU voll)
  - ⇨ zweites Segment = Controlbyte + 6 Datenbytes (MTU voll)
  - ⇨ drittes Segment = Controlbyte + 2 Datenbytes (MTU noch 4 leere Bytes)
- Keine weiteren Nachrichten
  - ⇨ C0-Controlbyte

Für jedes gebildete Segment muss ein spezifisches Controlbyte generiert werden. Außerdem wird das Controlbyte C0 generiert, um die Kommunikation auf Standby halten zu können.

C1 (Controlbyte1)			**C2 (Controlbyte2)**			**C3 (Controlbyte3)**		
- SegmentLength (6)	=	6	- SegmentLength (1)	=	1	- SegmentLength (2)	=	2
- nextCBPos (1)	=	64	- nextCBPos (1)	=	64	- nextCBPos (1)	=	64
- MessageEndBit (0)	=	0	- MessageEndBit (1)	=	128	- MessageEndBit (1)	=	128
Controlbyte	Σ	70	Controlbyte	Σ	193	Controlbyte	Σ	194

Tabelle 5: Flatstream-Ermittlung der Controlbytes für Beispiel mit MultiSegmentMTU (Teil 1)

Warnung!

Die zweite Sequenz darf erst über den SequenceAck bestätigt werden, wenn sie vollständig verarbeitet wurde. Im Beispiel befinden sich 3 verschiedene Segmente innerhalb der zweiten Sequenz, das heißt, im Programmablauf müssen ausreichend Empfänger-Arrays gehandhabt werden können.

C4 (Controlbyte4)			**C5 (Controlbyte5)**			**C6 (Controlbyte6)**		
- SegmentLength (1)	=	1	- SegmentLength (6)	=	6	- SegmentLength (2)	=	2
- nextCBPos (6)	=	6	- nextCBPos (1)	=	64	- nextCBPos (1)	=	64
- MessageEndBit (0)	=	0	- MessageEndBit (1)	=	0	- MessageEndBit (1)	=	128
Controlbyte	Σ	7	Controlbyte	Σ	70	Controlbyte	Σ	194

Tabelle 6: Flatstream-Ermittlung der Controlbytes für Beispiel mit MultiSegmentMTU (Teil 2)

Große Segmente

Die Segmente werden auf maximal 63 Bytes begrenzt. Damit können sie größer sein als die aktive MTU. Diese großen Segmente werden bei der Übertragung auf mehrere Sequenzen aufgeteilt. Es können Sequenzen ohne Controlbyte auftreten, die vollständig mit Nutzdaten befüllt sind.

Information:

Um die Größe eines Datenpakets nicht ebenfalls auf 63 Bytes zu begrenzen, bleibt die Möglichkeit erhalten, eine Nachricht in mehrere Segmente zu untergliedern.

Beispiel

Es werden 3 unabhängige Nachrichten (7 Bytes, 2 Bytes, 9 Bytes) über eine 7-Byte breite MTU übermittelt. Die Konfiguration erlaubt die Übertragung von großen Segmenten.

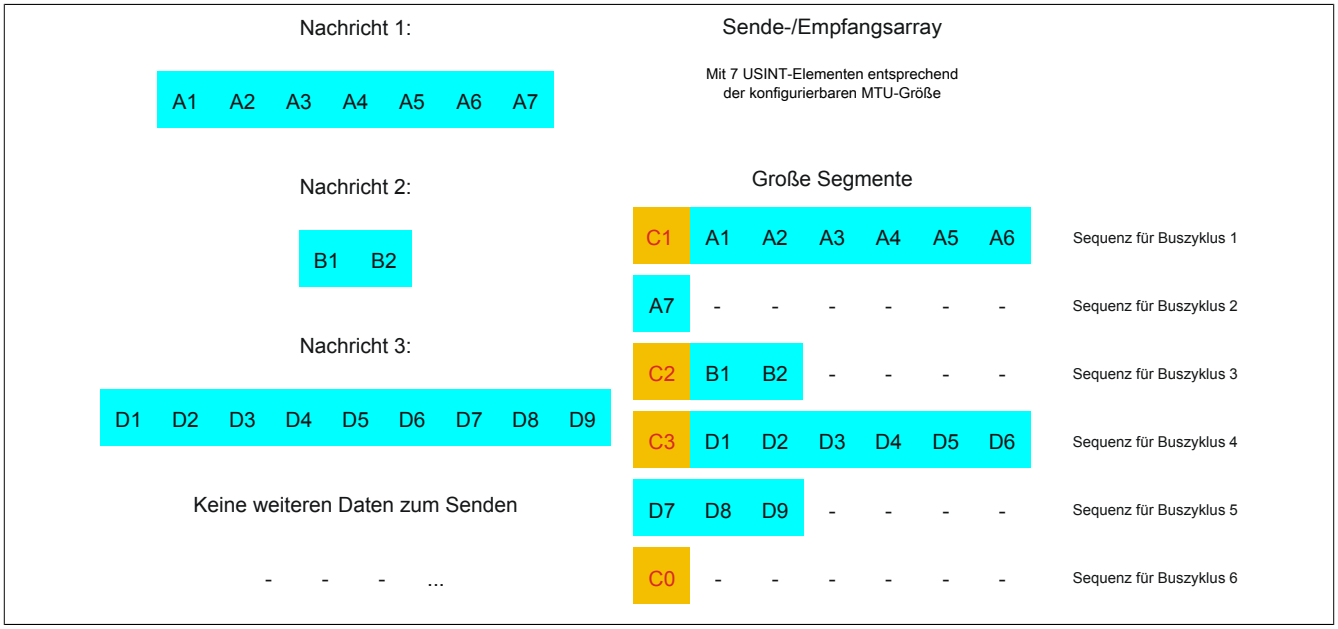


Abbildung 14: Sende-/Empfangsarray (große Segmente)

Zunächst müssen die Nachrichten in Segmente geteilt werden. Durch die Möglichkeit große Segmente zu bilden, müssen Nachrichten seltener geteilt werden, sodass weniger Controlbytes generiert werden müssen.

Große Segmente erlaubt → max. Segmentlänge 63 Bytes

- Nachricht 1 (7 Bytes)
  - ⇨ erstes Segment = Controlbyte + 7 Datenbytes
- Nachricht 2 (2 Bytes)
  - ⇨ erstes Segment = Controlbyte + 2 Datenbytes
- Nachricht 3 (9 Bytes)
  - ⇨ erstes Segment = Controlbyte + 9 Datenbytes
- Keine weiteren Nachrichten
  - ⇨ C0-Controlbyte

Für jedes gebildete Segment muss ein spezifisches Controlbyte generiert werden. Außerdem wird das Controlbyte C0 generiert, um die Kommunikation auf Standby halten zu können.

C1 (Controlbyte1)			**C2 (Controlbyte2)**			**C3 (Controlbyte3)**		
- SegmentLength (7)	=	7	- SegmentLength (2)	=	2	- SegmentLength (9)	=	9
- nextCBPos (0)	=	0	- nextCBPos (0)	=	0	- nextCBPos (0)	=	0
- MessageEndBit (1)	=	128	- MessageEndBit (1)	=	128	- MessageEndBit (1)	=	128
Controlbyte	Σ	135	Controlbyte	Σ	130	Controlbyte	Σ	137

Tabelle 7: Flatstream-Ermittlung der Controlbytes für Beispiel mit großen Segmenten

Große Segmente und MultiSegmentMTU

Beispiel

Es werden 3 unabhängige Nachrichten (7 Bytes, 2 Bytes, 9 Bytes) über eine 7-Byte breite MTU übermittelt. Die Konfiguration erlaubt sowohl die Übertragung von MultiSegmentMTUs als auch von großen Segmenten.

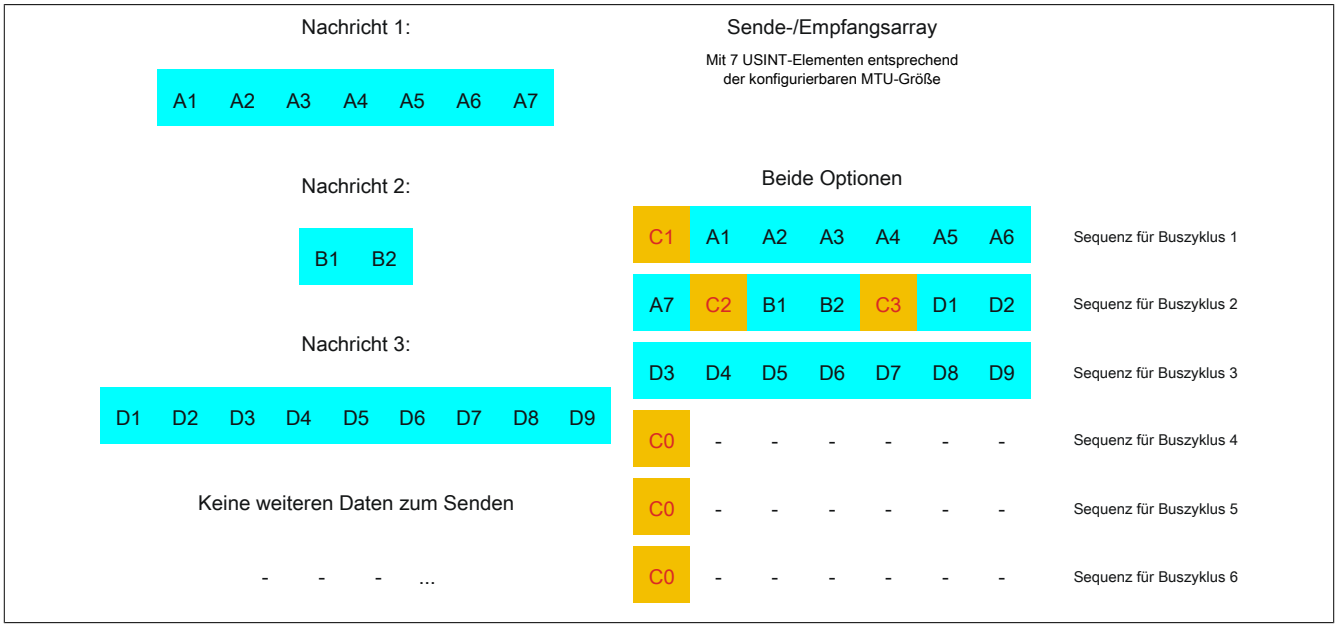


Abbildung 15: Sende-/Empfangsarray (große Segmente und MultiSegmentMTU)

Zunächst müssen die Nachrichten in Segmente geteilt werden. Wenn das letzte Segment einer Nachricht die MTU nicht komplett befüllt, darf sie für weitere Daten aus dem Datenstrom verwendet werden. Das Bit "nextCBPos" muss immer gesetzt werden, wenn das Controlbyte zu einem Segment mit Nutzdaten gehört.
Durch die Möglichkeit große Segmente zu bilden, müssen Nachrichten seltener geteilt werden, sodass weniger Controlbytes generiert werden müssen. Die Generierung der Controlbytes erfolgt auf die gleiche Weise, wie bei der Option "große Segmente".

Große Segmente erlaubt → max. Segmentlänge 63 Bytes

- Nachricht 1 (7 Bytes)
  ⇨ erstes Segment = Controlbyte + 7 Datenbytes
- Nachricht 2 (2 Bytes)
  ⇨ erstes Segment = Controlbyte + 2 Datenbytes
- Nachricht 3 (9 Bytes)
  ⇨ erstes Segment = Controlbyte + 9 Datenbytes
- Keine weiteren Nachrichten
  ⇨ C0-Controlbyte

Für jedes gebildete Segment muss ein spezifisches Controlbyte generiert werden. Außerdem wird das Controlbyte C0 generiert, um die Kommunikation auf Standby halten zu können.

C1 (Controlbyte1)			C2 (Controlbyte2)			C3 (Controlbyte3)		
- SegmentLength (7)	=	7	- SegmentLength (2)	=	2	- SegmentLength (9)	=	9
- nextCBPos (0)	=	0	- nextCBPos (0)	=	0	- nextCBPos (0)	=	0
- MessageEndBit (1)	=	128	- MessageEndBit (1)	=	128	- MessageEndBit (1)	=	128
Controlbyte	Σ	135	Controlbyte	Σ	130	Controlbyte	Σ	137

Tabelle 8: Flatstream-Ermittlung der Controlbytes für Beispiel mit großen Segmenten und MultiSegmentMTU

4.11.5 Die "Forward"-Funktion am Beispiel des X2X Link

Bei der "Forward"-Funktion handelt es sich um eine Methode, die Datenrate des Flatstreams deutlich zu erhöhen. Das grundsätzliche Prinzip wird auch in anderen technischen Bereichen angewandt, z. B. beim "Pipelining" für Mikroprozessoren.

4.11.5.1 Das Funktionsprinzip

Bei der Kommunikation mittels X2X Link werden 5 Teilschritte durchlaufen, um eine Flatstream-Sequenz zu übertragen. Eine erfolgreiche Sequenzübertragung benötigt deshalb mindestens 5 Buszyklen.

	Schritt I	**Schritt II**	**Schritt III**	**Schritt IV**	**Schritt V**
Aktionen	Sequenz aus Sendearray übertragen, SequenceCounter erhöhen	Zyklischer Abgleich MTU und Modulpuffer	Sequenz an Empfangsarray fügen, SequenceAck anpassen	Zyklischer Abgleich MTU und Modulpuffer	Prüfung des SequenceAck
Ressource	Sender (Task zum Versenden)	Bussystem (Richtung 1)	Empfänger (Task zum Empfangen)	Bussystem (Richtung 2)	Sender (Task zur Ack-Prüfung)

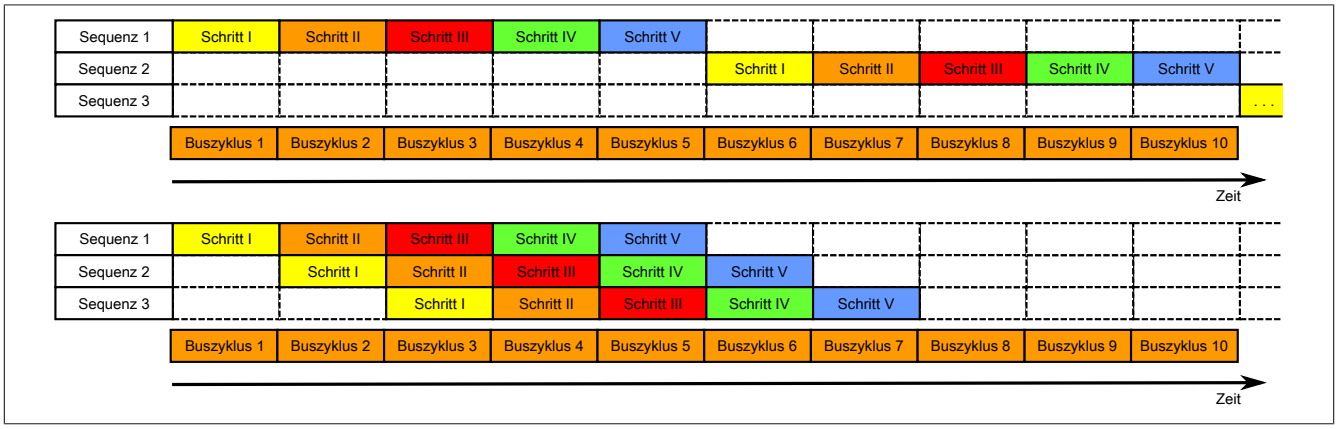


Abbildung 16: Vergleich Übertragung ohne bzw. mit Forward

Jeder der 5 Schritte (Tasks) beansprucht unterschiedliche Ressourcen. Ohne die Verwendung des Forward werden die Sequenzen nacheinander abgearbeitet. Jede Ressource ist nur dann aktiv, wenn sie für die aktuelle Teilaktion benötigt wird.
Beim Forward kann die Ressource, welche ihre Aufgabe abgearbeitet hat, bereits für die nächste Nachricht genutzt werden. Dazu wird die Bedingung zur MTU-Freigabe verändert. Die Sequenzen werden zeitgesteuert auf die MTU gelegt. Die Sendestation wartet nicht mehr auf die Bestätigung durch das SequenceAck und nutzt auf diese Weise die gegebene Bandbreite effizienter.
Im Idealfall arbeiten alle Ressourcen während jedes Buszyklus. Der Empfänger muss weiterhin jede erhaltene Sequenz bestätigen. Erst wenn das SequenceAck angepasst und vom Absender geprüft wurde, gilt die Sequenz als erfolgreich übertragen.

4.11.5.2 Konfiguration

Die Forward-Funktion muss nur für die Input-Richtung freigeschaltet werden. Zu diesem Zweck sind 2 weitere Register zu konfigurieren. Die Flatstream-Module wurden dahingehend optimiert, diese Funktion unterstützen zu können. In Output-Richtung kann die Forward-Funktion genutzt werden, sobald die Größe der OutputMTU vorgegeben ist.

4.11.5.2.1 Anzahl der unbestätigten Sequenzen

Name:
Forward

Über das Register "Forward" stellt der Anwender ein, wie viele unbestätigte Sequenzen das Modul abschicken darf.

Empfehlung:
X2X Link: max. 5
POWERLINK: max. 7

Datentyp	Werte
USINT	1 bis 7 Standard: 1

4.11.5.2.2 Verzögerungszeit

Name:
ForwardDelay

Mit dem Register "ForwardDelay" wird die Verzögerungszeit in µs vorgegeben. Das Modul muss nach dem Versand einer Sequenz diese Zeit abwarten, bevor es im darauf folgenden Buszyklus neue Daten in die MTU schreiben darf. Die Programmroutine zum Empfang von Sequenzen aus einem Modul kann somit auch in einer Taskklasse betrieben werden deren Zykluszeit langsamer ist als der Buszyklus.

Datentyp	Werte
UINT	0 bis 65535 [µs] Standard: 0

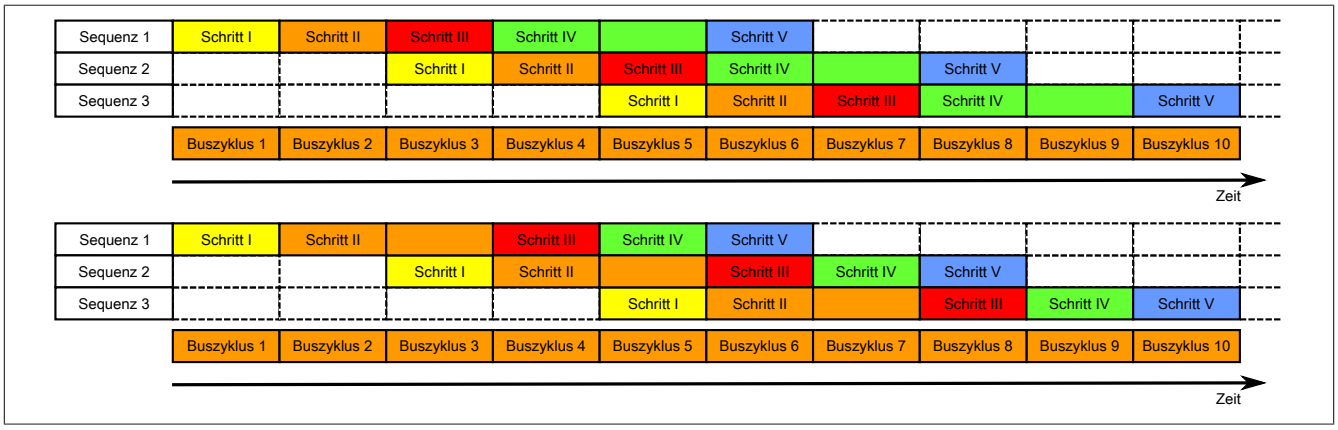


Abbildung 17: Auswirkung des ForwardDelay bei der Flatstream-Kommunikation mit Forward

Im Programmablauf muss sichergestellt werden, dass die CPU alle eintreffenden InputSequences bzw. InputMTUs verarbeitet. Der ForwardDelay-Wert bewirkt in Output-Richtung eine verzögerte Bestätigung und in Input-Richtung einen verzögerten Empfang. Auf diese Weise hat die CPU länger Zeit die eintreffende InputSequence bzw. InputMTU zu verarbeiten.

4.11.5.3 Senden und Empfangen mit Forward

Der grundsätzliche Algorithmus zum Senden bzw. Empfangen von Daten bleibt gleich. Durch den Forward können bis zu 7 unbestätigte Sequenzen abgesetzt werden. Sequenzen können gesendet werden, ohne die Bestätigung der vorangegangenen Nachricht abzuwarten. Da die Wartezeit zwischen Schreiben und Rückmeldung entfällt, können im gleichen Zeitraum erheblich mehr Daten übertragen werden.

Algorithmus zum Senden

Zyklische Statusabfrage: *- Modul überwacht OutputSequenceCounter*
0) Zyklische Prüfungen: - CPU muss OutputSyncAck prüfen → falls OutputSyncAck = 0; OutputSyncBit zurücksetzen und Kanal resynchronisieren - CPU muss Freigabe der OutputMTU prüfen → falls OutputSequenceCounter > OutputSequenceAck + 7, in diesem Fall nicht freigegeben, weil letzte Sequenz noch nicht quittiert
1) Vorbereitung (Sendearray anlegen): - CPU muss Nachricht auf zulässige Segmente aufteilen und entsprechende Controlbytes bilden - CPU muss Segmente und Controlbytes zu Sendearray zusammenfügen
2) Senden: - CPU muss aktuellen Teil des Sendearrays in die OutputMTU übertragen - CPU muss OutputSequenceCounter erhöhen, damit Sequenz vom Modul übernommen wird - CPU darf im nächsten Buszyklus erneut s*enden*, falls MTU freigegeben ist
Reaktion des Moduls, weil OutputSequenceCounter > OutputSequenceAck: *- Modul übernimmt Daten aus internem Empfangspuffer und fügt sie am Ende des internen Empfangsarrays an* *- Modul quittiert; aktuell empfangener Wert des OutputSequenceCounters auf OutputSequenceAck übertragen* *- Modul fragt Status wieder zyklisch ab*
3) Abschluss (Bestätigung): - CPU muss OutputSequenceAck zyklisch überprüfen → Eine Sequenz gilt erst dann als erfolgreich übertragen, wenn sie über das OutputSequenceAck bestätigt wurde. Um Übertragungsfehler auch bei der letzten Sequenz zu erkennen, muss sichergestellt werden, dass der Algorithmus lange genug durchlaufen wird. **Hinweis:** Für eine exakte Überwachung der Kommunikationszeiten sollten die Taskzyklen gezählt werden, die seit der letzten Erhöhung des OutputSequenceCounters vergangen sind. Auf diese Weise kann die Anzahl der Buszyklen abgeschätzt werden, die bislang zur Übertragung benötigt wurden. Übersteigt der Überwachungszähler eine vorgegebene Schwelle, kann die Sequenz als verloren betrachtet werden (das Verhältnis von Bus- und Taskzyklus kann vom Anwender beeinflusst werden, sodass der Schwellwert individuell zu ermitteln ist).

Algorithmus zum Empfangen

0) Zyklische Statusabfrage: - CPU muss InputSequenceCounter überwachen
Zyklische Prüfungen: *- Modul prüft InputSyncAck* *- Modul prüft InputMTU auf Freigabe* *→ Freigabekriterium: InputSequenceCounter > InputSequenceAck + Forward*
Vorbereitung: *- Modul bildet Controlbytes/Segmente und legt Sendearray an*
Aktion: *- Modul überträgt aktuellen Teil des Sendearrays in den Empfangspuffer* *- Modul erhöht InputSequenceCounter* *- Modul wartet auf neuen Buszyklus, nachdem Zeit aus ForwardDelay abgelaufen ist* *- Modul wiederholt Aktion, falls InputMTU freigegeben ist*
1) Empfangen (InputSequenceCounter > InputSequenceAck): - CPU muss Daten aus InputMTU übernehmen und an das Ende des Empfangsarrays anfügen - CPU muss InputSequenceAck an InputSequenceCounter der aktuell verarbeiteten Sequenz angleichen
Abschluss: *- Modul überwacht InputSequenceAck* *→ Eine Sequenz gilt erst dann als erfolgreich übertragen, wenn sie über das InputSequenceAck bestätigt wurde.*

Details/Hintergründe

1. SequenceCounter unzulässig groß (Zählerversatz)
   Fehlersituation: MTU nicht freigegeben
   Wenn beim Senden der Unterschied zwischen SequenceCounter und SequenceAck größer wird, als es erlaubt ist, liegt ein Übertragungsfehler vor. In diesem Fall müssen alle unbestätigten Sequenzen mit dem alten Wert des SequenceCounters wiederholt werden.
2. Prüfung einer Bestätigung
   Nach dem Empfang einer Bestätigung muss geprüft werden, ob die bestätigte Sequenz abgesendet wurde und bisher unbestätigt war. Falls eine Sequenz mehrfach bestätigt wird, liegt ein schwerwiegender Fehler vor. Der Kanal muss geschlossen und resynchronisiert werden (gleiches Verhalten wie ohne Forward).

   > **Information:**
   >
   > **In Ausnahmefällen kann das Modul bei der Verwendung des Forward den OutputSequenceAck um mehr als 1 erhöhen.**
   > **In diesem Fall liegt kein Fehler vor. Die CPU darf alle Sequenzen bis zur Bestätigten als erfolgreich übertragen betrachten.**

3. Sende- und Empfangsarrays
   Der Forward beeinflusst die Struktur des Sende- und Empfangsarrays nicht. Sie werden auf dieselbe Weise gebildet bzw. müssen auf dieselbe Weise ausgewertet werden.

4.11.5.4 Fehlerfall bei Verwendung des Forward

Im industriellen Umfeld werden in der Regel viele verschiedene Geräte unterschiedlicher Hersteller nebeneinander genutzt. Technische Geräte können sich gegenseitig durch ungewollte elektrische oder elektromagnetische Effekte störend beeinflussen. Unter Laborbedingungen können diese Situationen nur bis zu einem bestimmten Punkt nachempfunden und abgesichert werden.

Für die Übertragung per X2X Link wurden Vorkehrungen getroffen, falls es zu derartigen Beeinflussungen kommen sollte. Tritt beim Datentransfer z. B. eine unzulässige Prüfsumme auf, ignoriert das I/O-System die Daten dieses Buszyklus und der Empfänger erhält die letzten gültigen Daten erneut. Bei den herkömmlichen (zyklischen) Datenpunkten kann dieser Fehler oft ignoriert werden. Im darauffolgenden Zyklus wird der gleiche Datenpunkt wieder abgerufen, angepasst und übertragen.

Bei der Flatstream-Kommunikation mit aktiviertem Forward ist die Situation komplexer. Auch hier erhält der Empfänger ein weiteres mal die alten Daten, das heißt, die vorherigen Werte für SequenceAck/SequenceCounter und die alte MTU.

Ausfall einer Bestätigung (SequenceAck)

Wenn durch den Ausfall ein SequenceAck-Wert verloren geht, wurde die MTU bereits korrekt übertragen. Aus diesem Grund darf die nächste Sequenz vom Empfänger weiterverarbeitet werden. Der SequenceAck wird wieder an den mitgelieferten SequenceCounter angepasst und zum Absender zurückgeschickt. Für die Prüfung der eingehenden Bestätigungen folgt daraus, dass alle Sequenzen bis zur zuletzt Bestätigten erfolgreich übertragen sind (siehe Bild Sequenz 1, 2).

Ausfall einer Sendung (SequenceCounter, MTU)

Wenn durch den Ausfall eines Buszyklus der SequenceCounter-Wert bzw. die befüllte MTU verloren geht, kommen beim Empfänger keine Daten an. Zu diesem Zeitpunkt wirkt sich der Fehler noch nicht auf die Routine zum Absenden aus. Die zeitgesteuerte MTU wird wieder freigegeben und kann neu beschrieben werden.
Der Empfänger erhält SequenceCounter-Werte, die mehrfach inkrementiert sind. Damit das Empfangsarray korrekt zusammengestellt wird, darf der Empfänger nur Sendungen verarbeiten, die einen um eins erhöhten SequenceCounter besitzen. Die eintreffenden Sequenzen müssen ignoriert werden, das heißt, der Empfänger stoppt und gibt keine neuen Bestätigungen zurück.
Wenn die maximale Anzahl an unbestätigten Sequenzen abgesendet wurde und keine Bestätigungen zurück kommen, muss der Sender die betroffenen SequenceCounter und die dazugehörigen MTUs wiederholen (siehe Bild Sequenzen 3 und 4).

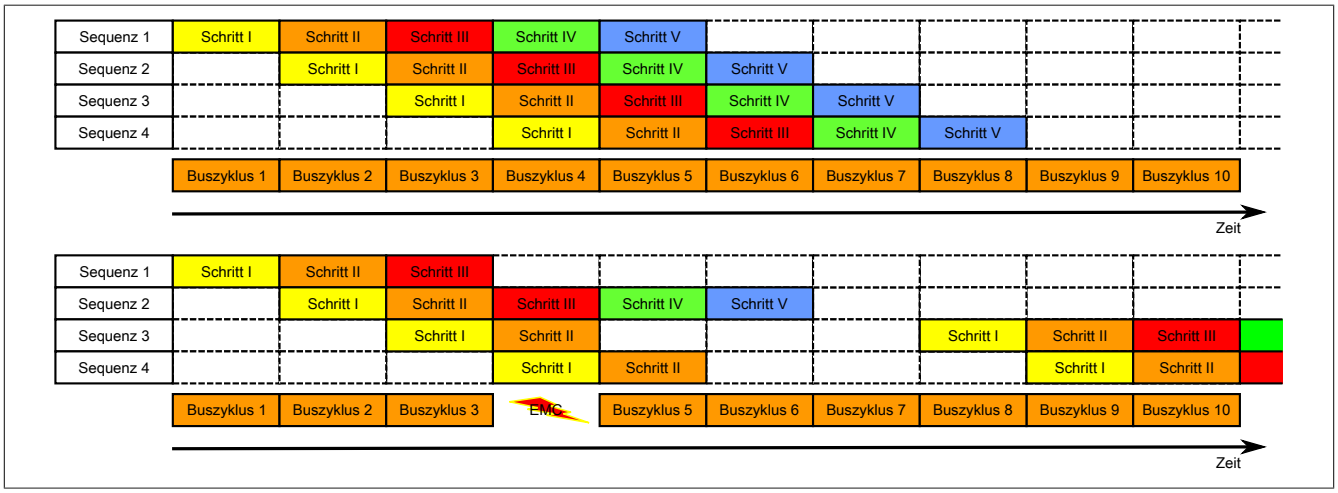


Abbildung 18: Auswirkung eines ausgefallenen Buszyklus

Ausfall der Bestätigung

Bei Sequenz 1 ging aufgrund der Störung die Bestätigung verloren. Im Schritt V der Sequenz 2 werden deshalb die Sequenzen 1 und 2 bestätigt.

Ausfall einer Sendung

Bei Sequenz 3 ging aufgrund der Störung die gesamte Sendung verloren. Der Empfänger stoppt und gibt keine Bestätigungen mehr zurück.
Der Sender sendet zunächst weiter, bis er die max. erlaubte Anzahl an unbestätigten Sendungen abgesetzt hat. Je nach Konfiguration beginnt er frühestens 5 Buszyklen später, die vergeblich abgesendeten Sendungen zu wiederholen.

4.12 Serial on Flatstream

Bei der Flatstream-Kommunikation arbeitet das Modul als Bridge zwischen dem X2X Link Master und einem intelligenten Feldgerät, welches an das Modul angeschlossen ist. Der Flatstream-Modus kann sowohl für Point-to-Point-Verbindungen als auch bei Multidrop-Systemen genutzt werden. Spezifische Algorithmen wie Zeitüberschreitungs- oder Prüfsummenüberwachung werden in der Regel automatisch verwaltet. Dem Anwender sind diese Details im Normalbetrieb nicht zugänglich.

Im seriellen Netzwerk tritt das Modul stets als Master (DTE) auf. Um eine fehlerfreie Signalübertragung zu gewährleisten, können verschiedene Anpassungen vorgenommen werden.
Der Anwender kann z. B. einen Handshake-Algorithmus definieren oder die Baudrate einstellen, um die Qualität der Übertragung an die Belange der Anwendung anzupassen.

Handhabung

Bei der Nutzung des Flatstreams muss die generelle Struktur des Flatstream-Frames eingehalten werden.

Ein-/Ausgangs-Sequenz	Tx/Rx-Bytes	
(unverändert)	Controlbyte(unverändert)	Serielles-Frame (ohne Handshake o.Ä.)

4.13 Azyklische Framegröße

Name:
AsynSize

Bei Verwendung des Streams werden die Daten intern zwischen Modul und CPU ausgetauscht. Zu diesem Zweck wird eine definierte Anzahl an azyklischen Bytes für diesen Steckplatz reserviert.
Die Erhöhung der azyklischen Framegröße führt zu einem gesteigerten Datendurchsatz auf diesem Steckplatz.

> **Information:**
>
> **Es handelt sich bei dieser Konfiguration um eine Treibereinstellung, welche während der Laufzeit nicht verändert werden kann!**

Datentyp	Werte	Information
-	8 bis 28	Azyklische Framegröße in Byte. Default = 24

4.14 Minimale Zykluszeit

Die minimale Zykluszeit gibt an, bis zu welcher Zeit der Buszyklus heruntergefahren werden kann, ohne dass Kommunikationsfehler auftreten. Es ist zu beachten, dass durch sehr schnelle Zyklen die Restzeit zur Behandlung der Überwachungen, Diagnosen und azyklischen Befehle verringert wird.

Minimale Zykluszeit
200 µs

4.15 Minimale I/O-Updatezeit

Die minimale I/O-Updatezeit gibt an, bis zu welcher Zeit der Buszyklus heruntergefahren werden kann, so dass in jedem Zyklus ein I/O-Update erfolgt.

Minimale I/O-Updatezeit
200 µs